

日 本 国 特 許 庁
JAPAN PATENT OFFICE

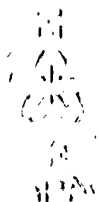
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 0 月 2 3 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 3 6 2 8 1 2
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 6 2 8 1 2]

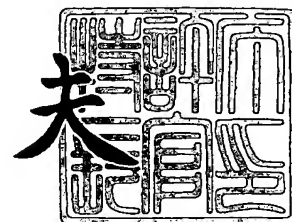
出 願 人 ソニー株式会社
Applicant(s):



2 0 0 4 年 1 月 2 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 0390684605
【提出日】 平成15年10月23日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 12/02
【発明者】
 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内
 【氏名】 尾崎 浩治
【特許出願人】
 【識別番号】 000002185
 【氏名又は名称】 ソニー株式会社
【代理人】
 【識別番号】 100082131
 【弁理士】
 【氏名又は名称】 稲本 義雄
 【電話番号】 03-3369-6479
【先の出願に基づく優先権主張】
 【出願番号】 特願2003-107351
 【出願日】 平成15年 4月11日
【手数料の表示】
 【予納台帳番号】 032089
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9708842

【書類名】 特許請求の範囲**【請求項 1】**

演算を実行する演算手段と、

前記演算手段により実行される演算を実行するための命令またはデータを記憶する記憶手段とを備える情報処理装置において、

前記演算手段と前記記憶手段との間において、前記命令または前記データを転送する複数個の転送手段と、

前記演算手段により指定される仮想アドレスを、前記記憶手段の物理アドレスに変換する、少なくとも 1 個のアドレス変換手段と

を備え、

前記転送手段は、他の転送手段の仮想アドレス空間と相互に重複しているアドレスにより構成される独立の仮想アドレス空間をそれぞれ有し、

前記アドレス変換手段は、前記転送手段の前記仮想アドレス空間を、単一の物理アドレス空間に変換する

ことを特徴とする情報処理装置。

【請求項 2】

前記転送手段は、前記命令を転送する命令バスと、前記データを転送するデータバスの 2 個で構成され、

前記記憶手段へのアクセスを伴う命令の仮想アドレスと、前記命令によりアクセスされるデータの仮想アドレスとの差は、前記命令中のオペランドによって相対アドレスとして直接指定できる距離以下である

ことを特徴とする請求項 1 に記載の情報処理装置。

【請求項 3】

前記転送手段ごとに、前記仮想アドレスをタグとして用いるキャッシュをさらに備えることを特徴とする請求項 1 に記載の情報処理装置。

【請求項 4】

前記仮想アドレス空間は、前記命令の仮想アドレスと前記データの仮想アドレスの境界が、前記キャッシュのライン境界となるように仮想アドレスが配置されて構成される

ことを特徴とする請求項 3 に記載の情報処理装置。

【請求項 5】

前記転送手段を識別してキャッシュデータを特定するキャッシュをさらに備える

ことを特徴とする請求項 1 に記載の情報処理装置。

【請求項 6】

前記仮想アドレス空間は、前記命令の仮想アドレスと前記データの仮想アドレスの境界が、前記キャッシュのライン境界となるように仮想アドレスが配置されて構成される

ことを特徴とする請求項 5 に記載の情報処理装置。

【請求項 7】

前記アドレス変換手段により変換されるアドレスの変換単位内に、前記命令の仮想アドレスと前記データの仮想アドレスの両方が含まれる場合、前記変換単位に含まれるデータは、定数データのみである

ことを特徴とする請求項 1 に記載の情報処理装置。

【請求項 8】

前記アドレス変換手段は、前記転送手段の前記仮想アドレス空間を、アドレスが相互に重複しない前記単一の物理アドレス空間に変換する

ことを特徴とする請求項 1 に記載の情報処理装置。

【請求項 9】

前記記憶手段は、書き込み禁止領域および書き込み可能領域により構成され、

前記記憶手段へのアクセスを伴う命令中のオペランドによって相対アドレスとして直接指定できる範囲の仮想アドレス空間に、前記書き込み禁止領域と書き込み可能領域の両方の仮想アドレスが配置されている

ことを特徴とする請求項 1 に記載の情報処理装置。

【請求項 10】

前記憶手段は、少なくとも 1 つの I/O (Input / Output) レジスタにより構成され

、前記 I/O レジスタへのアクセスを伴う前記命令の仮想アドレスと、前記 I/O レジスタを示す仮想アドレスとの差は、前記命令中のオペランドによって相対アドレスとして直接指定できる距離以下である

ことを特徴とする請求項 1 に記載の情報処理装置。

【請求項 11】

同一の前記 I/O レジスタを示す仮想アドレスは、前記仮想アドレス空間において複数の領域に分けて配置される

ことを特徴とする請求項 10 に記載の情報処理装置。

【請求項 12】

前記アドレス変換手段は、前記仮想アドレスを表す $n+m$ ビットのうちの、上位 n ビットを変換し、変換後の上位 n ビットと残りの下位 m ビットのうちの、少なくとも 1 ビット以上を入れ替えて、前記仮想アドレスを前記物理アドレスに変換する

ことを特徴とする請求項 1 に記載の情報処理装置。

【請求項 13】

前記アドレス変換手段は、前記仮想アドレスを表す $n+m$ ビットのうちの、上位 n ビットを変換し、残りの下位の m ビットのうちの、少なくとも 1 ビット以上を入れ替えて、前記仮想アドレスを前記物理アドレスに変換する

ことを特徴とする請求項 1 に記載の情報処理装置。

【請求項 14】

演算を実行する演算手段と、

前記演算手段により実行される演算を実行するための命令またはデータを記憶する記憶手段と、

前記演算手段と前記記憶手段との間において、前記命令または前記データを転送する複数の転送手段と、

前記演算手段により指定される仮想アドレスを、前記記憶手段の物理アドレスに変換する、少なくとも 1 個のアドレス変換手段と

を備える情報処理装置の情報処理方法において、

前記転送手段が、他の転送手段の仮想アドレス空間と相互に重複しているアドレスにより構成される独立の仮想アドレス空間をそれぞれ有し、

前記アドレス変換手段には、前記転送手段の前記仮想アドレス空間を、単一の物理アドレス空間に変換させる変換ステップを備える

ことを特徴とする情報処理方法。

【請求項 15】

前記転送手段が有する前記独立の仮想アドレス空間が、前記他の転送手段の仮想アドレス空間と相互に重複しているアドレスにより構成されるように仮想アドレスを割り当てる割り当てステップを

さらに備えることを特徴とする請求項 14 に記載の情報処理方法。

【請求項 16】

演算を実行する演算手段と、

前記演算手段により実行される演算を実行するための命令またはデータを記憶する記憶手段と、

前記演算手段と前記記憶手段との間において、前記命令または前記データを転送する複数の転送手段と、

前記演算手段により指定される仮想アドレスを、前記記憶手段の物理アドレスに変換する、少なくとも 1 個のアドレス変換手段と

を備える情報処理装置のプログラムであって、

前記転送手段は、他の転送手段の仮想アドレス空間と相互に重複しているアドレスにより構成される独立の仮想アドレス空間をそれぞれ有し、

前記アドレス変換手段には、前記転送手段の前記仮想アドレス空間を、単一の物理アドレス空間に変換させる変換ステップを備える

ことを特徴とするコンピュータが読み取り可能なプログラムが記録されている記録媒体。

【請求項 17】

前記転送手段が有する前記独立の仮想アドレス空間が、前記他の転送手段の仮想アドレス空間と相互に重複しているアドレスにより構成されるように仮想アドレスを割り当てる割り当てステップを

さらに備えることを特徴とする請求項 16 に記載の記録媒体。

【請求項 18】

演算を実行する演算手段と、

前記演算手段により実行される演算を実行するための命令またはデータを記憶する記憶手段と、

前記演算手段と前記記憶手段との間において、前記命令または前記データを転送する複数の転送手段と、

前記演算手段により指定される仮想アドレスを、前記記憶手段の物理アドレスに変換する、少なくとも 1 個のアドレス変換手段と

を備える情報処理装置を実行させるプログラムであって、

前記転送手段は、他の転送手段の仮想アドレス空間と相互に重複しているアドレスにより構成される独立の仮想アドレス空間をそれぞれ有し、

前記アドレス変換手段には、前記転送手段の前記仮想アドレス空間を、単一の物理アドレス空間に変換させる変換ステップを備える

ことを特徴とするプログラム。

【請求項 19】

前記転送手段が有する前記独立の仮想アドレス空間が、前記他の転送手段の仮想アドレス空間と相互に重複しているアドレスにより構成されるように仮想アドレスを割り当てる割り当てステップを

さらに備えることを特徴とする請求項 18 に記載のプログラム。

【請求項 20】

被写体を撮像する撮像手段と、

前記撮像手段により撮像された被写体の画像データを符号化する符号化手段と、

前記符号化手段が前記画像データを符号化処理するための命令またはデータを指令する演算を実行する演算手段と、

前記演算手段により実行される演算を実行するための前記命令またはデータを記憶する記憶手段とを備える撮像装置において、

前記演算手段と前記記憶手段との間において、前記命令または前記データを転送する複数の転送手段と、

前記演算手段により指定される仮想アドレスを、前記記憶手段の物理アドレスに変換する、少なくとも 1 個のアドレス変換手段と

を備え、

前記転送手段は、他の転送手段の仮想アドレス空間と相互に重複しているアドレスにより構成される独立の仮想アドレス空間をそれぞれ有し、

前記アドレス変換手段は、前記転送手段の前記仮想アドレス空間を、単一の物理アドレス空間に変換し、

前記符号化手段は、前記演算手段により指定され、前記アドレス変換手段により変換されたアドレスに対応する前記記憶手段の前記命令またはデータに基づいて、前記画像データの符号化処理を実行する

ことを特徴とする撮像装置。

【書類名】明細書

【発明の名称】情報処理装置および方法、記録媒体、プログラム、並びに撮像装置

【技術分野】

【0001】

本発明は、情報処理装置および方法、記録媒体、プログラム、並びに撮像装置に関し、特に、データアクセスの効率を向上させ、命令実行速度の向上を図ることができるようにした情報処理装置および方法、記録媒体、プログラム、並びに撮像装置に関する。

【背景技術】

【0002】

従来、特許文献1に示されるように、命令とデータのバスが分離された情報処理装置が存在する。このような情報処理装置においては、1つの仮想アドレス空間を用いて、メモリに、命令とデータの転送を行っていた。すなわち、CPUでは、命令は、仮想アドレス空間を用いて、命令バスで転送を行い、データは、同一の仮想アドレス空間を用いて、データバスで転送を行っていた。

【0003】

図1は、従来の仮想アドレス空間と物理アドレス空間の構成例を示している。図1においては、仮想アドレス空間1は、CPU（Central Processing Unit）から見えるメモリのアドレス空間であり、物理アドレス空間2は、実際のメモリの物理アドレス空間である。なお、図1の例においては、仮想アドレス空間1と物理アドレス空間2とが1対1に対応しているが、複数の仮想アドレス空間と1つの物理アドレス空間とが、複数対1で対応している場合もある。

【0004】

図1の例の場合、仮想アドレス空間1は、アドレス順に、命令とデータの仮想アドレスが混在して配置されているアドレス領域1-1乃至1-5、およびデータのみの仮想アドレスが配置されているアドレス領域1-6乃至1-8により構成される。なお、各領域の命令またはデータは、アドレス変換の最小単位（例えば、4kバイト）であるページサイズ単位で配置されている。

【0005】

仮想アドレス空間1のアドレス領域1-1に配置されている命令とデータのページは、実際には、物理アドレス空間2のアドレス領域2-1に記憶されている。仮想アドレス空間1のアドレス領域1-2に配置されている命令とデータのページは、実際には、物理アドレス空間2のアドレス領域2-2に記憶されている。仮想アドレス空間1の領域1-3に配置されている命令とデータのページは、実際には、物理アドレス空間2のアドレス領域2-6に記憶されている。仮想アドレス空間1の領域1-4に配置されている命令とデータのページは、実際には、物理アドレス空間2のアドレス領域2-4に記憶されている。

【0006】

また、仮想アドレス空間1のアドレス領域1-5に配置されている命令とデータのページは、実際には、物理アドレス空間2のアドレス領域2-3に記憶されている。仮想アドレス空間1のアドレス領域1-6に配置されているデータのページは、実際には、物理アドレス空間2のアドレス領域2-5に記憶されている。仮想アドレス空間1のアドレス領域1-7に配置されているデータのページは、実際には、物理アドレス空間2のアドレス領域2-8に記憶されている。仮想アドレス空間1のアドレス領域1-8に配置されているデータのページは、実際には、物理アドレス空間2のアドレス領域2-7に記憶されている。

【0007】

以上のように、仮想アドレス空間1と物理アドレス空間2において、仮想アドレスと物理アドレスが1対1に対応している。したがって、CPUが、仮想アドレス空間1を参照して、命令またはデータの仮想アドレスを指定すると、指定された仮想アドレスは、対応する物理アドレスに変換される。そして、変換された物理アドレスに対応する命令または

データが、メモリから読み出されて、CPUに転送される。このようにして、CPUは、自分が指定した仮想アドレスの命令を実行することができる。

【0008】

しかしながら、従来は、命令を転送する場合にも、データを転送する場合にも、図1に示される同一の仮想アドレス空間を参照しており、また、命令で使用する長いデータなどは別途データとして保持する必要があるため、命令とデータの仮想アドレスは、混在して仮想アドレス空間に配置されてしまう。

【0009】

図2は、図1の仮想アドレス空間1のアドレス領域1-1の構成例を示す。図2の例の場合、アドレス領域1-1は、上から順に、命令1乃至4、ジャンプ命令1、データ1、データ2、および命令5乃至命令9が記憶された仮想アドレスで構成されている。CPUは、アドレス領域1-1の仮想アドレスを指定し、その仮想アドレスに記憶された命令を実行する。すなわち、CPUは、例えば、命令1乃至命令9の仮想アドレスを指定して、命令1から順に命令を実行していく。しかしながら、図2の例においては、命令4と命令5の仮想アドレスの間の仮想アドレスに、データ1およびデータ2が記憶されている。したがって、命令1から順に実行をしていくと、命令4の次に、命令5を実行するために、命令4から命令5まで無条件に分岐するためのジャンプ命令1を、命令4が記憶された仮想アドレスの直後の仮想アドレスに配置する必要がある。

【0010】

また、図3に示されるように、命令3によって、データ3を読み出したい場合に、データ3が記憶された仮想アドレスが命令3のオペランドで指定不可能な距離d2（命令3の仮想アドレスから遠い距離d2）の仮想アドレスに記憶されているときには、命令3のオペランドにおいて、データ3を直接指定することができない。このためデータ3を読み出すには、データ3の相対アドレスとしてのデータ2を、命令3から直接オペランド指定可能な距離d1にある仮想アドレスに一旦保持させる必要がある。この場合、命令3によって、データ2として保持されているデータ3の相対アドレスを読み出し、その相対アドレスに従って、命令4により、データ3を読み出すことができる。しかしながら、直接指定する場合と較べて、命令が2つに増えてしまい、また、命令中に保持するデータ（相対アドレス）も増えてしまう。

【0011】

さらに、命令とデータのバスが分離している場合、情報処理装置は、図4に示されるように、通常、命令キャッシュ（メモリ）11とデータキャッシュ（メモリ）12を別々に備える。図4の例の場合、アドレス領域1-1において、CPUがジャンプ命令1の仮想アドレスを指定すると、ジャンプ命令1、データ1、データ2および命令5までの範囲e1が、命令キャッシュ11に登録される。また、CPUがデータ1の仮想アドレスを指定すると、同様の範囲e1が、データキャッシュ12に登録される。すなわち、命令キャッシュ11には、ジャンプ命令1および命令5だけでなく、命令としては使用されないデータ1および2（図中ハッチ部分）も登録されてしまう。一方、データキャッシュ12には、データ1および2だけでなく、データとしては使用されないジャンプ命令1および命令5（図中ハッチ部分）が登録されてしまう。

【0012】

【特許文献1】特開平6-75854号公報

【発明の開示】

【発明が解決しようとする課題】

【0013】

以上のように、命令とデータのバスが分離された情報処理装置においては、同一の仮想メモリ空間1を用いるため、仮想メモリ空間1において、命令とメモリの仮想アドレスが混在してしまう。これにより、命令中にデータを置く場合には、命令実行時に、そのデータをジャンプするためのジャンプ命令などの命令数が増加してしまい、命令実行時間がかってしまうといった課題があった。また、命令が目的とするデータの仮想アドレスが、

命令のオペランドにより指定不可能な距離 d_2 にある場合には、目的とするデータの相対アドレスを別のデータとして記憶しておく必要があり、そのアドレスを取得するための命令数と実行時間がかかってしまう課題があった。

【0014】

さらに、命令キャッシュ 11 に、データが登録され、データキャッシュ 12 に命令が登録されてしまい、貴重なメモリ領域を消費してしまう課題があった。

【0015】

本発明はこのような状況に鑑みてなされたものであり、データアクセスの効率を向上させ、命令実行速度の向上を図ることができるようにするものである。

【課題を解決するための手段】

【0016】

本発明の情報処理装置は、演算手段と記憶手段との間において、命令またはデータを転送する複数の転送手段と、演算手段により指定される仮想アドレスを、記憶手段の物理アドレスに変換する、少なくとも 1 個のアドレス変換手段とを備え、転送手段は、他の転送手段の仮想アドレス空間と相互に重複しているアドレスにより構成される独立の仮想アドレス空間をそれぞれ有し、アドレス変換手段は、転送手段の仮想アドレス空間を、単一の物理アドレス空間に変換することを特徴とする。

【0017】

転送手段は、命令を転送する命令バスと、データを転送するデータバスの 2 個で構成され、記憶手段へのアクセスを伴う命令の仮想アドレスと、命令によりアクセスされるデータの仮想アドレスとの差は、命令中のオペランドによって相対アドレスとして直接指定できる距離以下であるようにすることができる。

【0018】

転送手段ごとに、仮想アドレスをタグとして用いるキャッシュをさらに備えるようにすることができる。

【0019】

仮想アドレス空間は、命令の仮想アドレスとデータの仮想アドレスの境界が、キャッシュのライン境界となるように仮想アドレスが配置されて構成されるようにすることができる。

【0020】

転送手段を識別してキャッシュデータを特定するキャッシュをさらに備えるようにすることができる。

【0021】

仮想アドレス空間は、命令の仮想アドレスとデータの仮想アドレスの境界が、キャッシュのライン境界となるように仮想アドレスが配置されて構成されるようにすることができる。

【0022】

アドレス変換手段により変換されるアドレスの変換単位内に、命令の仮想アドレスとデータの仮想アドレスの両方が含まれる場合、変換単位に含まれるデータは、定数データのみであるようにすることができる。

【0023】

アドレス変換手段は、転送手段の仮想アドレス空間を、アドレスが相互に重複しない単一の物理アドレス空間に変換するようにすることができる。

【0024】

記憶手段は、書き込み禁止領域および書き込み可能領域により構成され、記憶手段へのアクセスを伴う命令中のオペランドによって相対アドレスとして直接指定できる範囲の仮想アドレス空間に、書き込み禁止領域と書き込み可能領域の両方の仮想アドレスが配置されているようにすることができる。

【0025】

記憶手段は、少なくとも 1 つの I/O (Input / Output) レジスタにより構成され、I

／Oレジスタへのアクセスを伴う命令の仮想アドレスと、I／Oレジスタの仮想アドレスとの差は、命令中のオペランドによって相対アドレスとして直接指定できる距離以下であるようにすることができる。

【0026】

同一のI／Oレジスタを示す仮想アドレスは、仮想アドレス空間において複数の領域に分けて配置されるようにすることができる。

【0027】

アドレス変換手段は、仮想アドレスを表す $n+m$ ビットのうちの、上位 n ビットを変換し、変換後の上位 n ビットと残りの下位 m ビットのうちの、少なくとも1ビット以上を入れ替えて、仮想アドレスを物理アドレスに変換するようにすることができる。

【0028】

アドレス変換手段は、仮想アドレスを表す $n+m$ ビットのうちの、上位 n ビットを変換し、残りの下位の m ビットのうちの、少なくとも1ビット以上を入れ替えて、仮想アドレスを物理アドレスに変換するようにすることができる。

【0029】

本発明の情報処理方法は、演算を実行する演算手段と、演算手段により実行される演算を実行するための命令またはデータを記憶する記憶手段と、演算手段と記憶手段との間において、命令またはデータを転送する複数個の転送手段と、演算手段により指定される仮想アドレスを、記憶手段の物理アドレスに変換する、少なくとも1個のアドレス変換手段とを備える情報処理装置の情報処理方法において、転送手段が、他の転送手段の仮想アドレス空間と相互に重複しているアドレスにより構成される独立の仮想アドレス空間をそれぞれ有し、アドレス変換手段には、転送手段の仮想アドレス空間を、単一の物理アドレス空間に変換させる変換ステップを備えることを特徴とする。

【0030】

転送手段が有する独立の仮想アドレス空間が、他の転送手段の仮想アドレス空間と相互に重複しているアドレスにより構成されるように仮想アドレスを割り当てる割り当てステップをさらに備えるようにすることができる。

【0031】

本発明の記録媒体に記録されているプログラムは、演算を実行する演算手段と、演算手段により実行される演算を実行するための命令またはデータを記憶する記憶手段と、演算手段と記憶手段との間において、命令またはデータを転送する複数個の転送手段と、演算手段により指定される仮想アドレスを、記憶手段の物理アドレスに変換する、少なくとも1個のアドレス変換手段とを備える情報処理装置のプログラムであって、転送手段が、他の転送手段の仮想アドレス空間と相互に重複しているアドレスにより構成される独立の仮想アドレス空間をそれぞれ有し、アドレス変換手段には、転送手段の仮想アドレス空間を、単一の物理アドレス空間に変換させる変換ステップを備えることを特徴とする。

【0032】

転送手段が有する独立の仮想アドレス空間が、他の転送手段の仮想アドレス空間と相互に重複しているアドレスにより構成されるように仮想アドレスを割り当てる割り当てステップをさらに備えるようにすることができる。

【0033】

本発明のプログラムは、演算を実行する演算手段と、演算手段により実行される演算を実行するための命令またはデータを記憶する記憶手段と、演算手段と記憶手段との間において、命令またはデータを転送する複数個の転送手段と、演算手段により指定される仮想アドレスを、記憶手段の物理アドレスに変換する、少なくとも1個のアドレス変換手段とを備える情報処理装置を実行させるプログラムであって、転送手段が、他の転送手段の仮想アドレス空間と相互に重複しているアドレスにより構成される独立の仮想アドレス空間をそれぞれ有し、アドレス変換手段には、転送手段の仮想アドレス空間を、単一の物理アドレス空間に変換させる変換ステップを備えることを特徴とする。

【0034】

転送手段が有する独立の仮想アドレス空間が、他の転送手段の仮想アドレス空間と相互に重複しているアドレスにより構成されるように仮想アドレスを割り当てる割り当てステップをさらに備えるようにすることができる。

【0035】

本発明の撮像装置は、演算手段と記憶手段との間において、命令またはデータを転送する複数の転送手段と、演算手段により指定される仮想アドレスを、記憶手段の物理アドレスに変換する、少なくとも1個のアドレス変換手段とを備え、転送手段は、他の転送手段の仮想アドレス空間と相互に重複しているアドレスにより構成される独立の仮想アドレス空間をそれぞれ有し、アドレス変換手段は、転送手段の仮想アドレス空間を、単一の物理アドレス空間に変換し、符号化手段は、演算手段により指定され、アドレス変換手段により変換されたアドレスに対応する記憶手段の命令またはデータに基づいて、画像データの符号化処理を実行することを特徴とする。

【0036】

本発明においては、他の仮想アドレス空間と相互に重複しているアドレスにより構成される仮想アドレス空間が、単一の物理アドレス空間に変換される。

【発明の効果】

【0037】

本発明によれば、データアクセスの効率を向上させ、命令実行速度の向上を図ることができる。また、本発明によれば、無駄なメモリ領域が削減される。

【発明を実施するための最良の形態】

【0038】

以下に本発明の最良の形態を説明するが、開示される発明と実施の形態との対応関係を例示すると、次のようになる。本明細書中には記載されているが、発明に対応するものとして、ここには記載されていない実施の形態があったとしても、そのことは、その実施の形態が、その発明に対応するものではないことを意味するものではない。逆に、実施の形態が発明に対応するものとしてここに記載されていたとしても、そのことは、その実施の形態が、その発明以外の発明には対応しないものであることを意味するものでもない。

【0039】

さらに、この記載は、明細書に記載されている発明の全てを意味するものではない。換言すれば、この記載は、明細書に記載されている発明であって、この出願では請求されていない発明の存在、すなわち、将来、分割出願されたり、補正により出現し、追加される発明の存在を否定するものではない。

【0040】

本発明によれば、演算を実行する演算手段と、演算手段により実行される演算を実行するための命令またはデータを記憶する記憶手段とを備える情報処理装置が提供される。この情報処理装置は、演算を実行する演算手段（例えば、図5のCPU61）と、演算手段により実行される演算を実行するための命令またはデータを記憶する記憶手段（例えば、図5のメモリ62）とを備える情報処理装置（例えば、図5の情報処理装置51）において、演算手段と記憶手段との間において、命令またはデータを転送する複数の転送手段（例えば、図5の命令バス71およびデータバス72）と、演算手段により指定される仮想アドレスを、記憶手段の物理アドレスに変換する、少なくとも1個のアドレス変換手段（例えば、図5の命令アドレス変換部64またはデータアドレス変換部66）とを備え、転送手段（例えば、図5の命令バス71）は、他の転送手段（例えば、図5のデータバス72）の仮想アドレス空間（例えば、図6のデータ仮想アドレス空間102）と相互に重複しているアドレスにより構成される独立の仮想アドレス空間（例えば、図6の命令仮想アドレス空間101）をそれぞれ有し、アドレス変換手段（例えば、図5の命令アドレス変換部64）は、転送手段の仮想アドレス空間（例えば、図6の命令仮想アドレス空間101）を、単一の物理アドレス空間（例えば、図7の物理アドレス空間103）に変換することを特徴とする。

【0041】

この情報処理装置は、転送手段ごとに、仮想アドレスをタグとして用いるキャッシュ（例えば、図5の命令キャッシュ63）をさらに備えるようにすることができる。

【0042】

この情報処理装置は、仮想アドレス空間（例えば、図11の仮想アドレス空間121）は、命令の仮想アドレスとデータの仮想アドレスの境界が、キャッシュのライン境界となるように仮想アドレスが配置されて構成されるようにすることができる。

【0043】

この情報処理装置は、アドレス変換手段は、転送手段の仮想アドレス空間を、アドレスが相互に重複しない単一の物理アドレス空間（例えば、図7の物理アドレス空間103）に変換するようにすることができる。

【0044】

この情報処理装置は、記憶手段は、書き込み禁止領域（例えば、図13のROMのアドレス領域161）および書き込み可能領域（例えば、図13のRAMのアドレス領域162）により構成され、記憶手段へのアクセスを伴う命令中のオペランドによって相対アドレスとして直接指定できる範囲の仮想アドレス空間（例えば、図13のデータ仮想アドレス空間151）に、書き込み禁止領域と書き込み可能領域の両方の仮想アドレスが配置されているようにすることができる。

【0045】

この情報処理装置は、記憶手段は、少なくとも1つのI/O（Input / Output）レジスタにより構成され、I/Oレジスタへのアクセスを伴う命令の仮想アドレス（例えば、図19の命令仮想アドレス空間252）と、I/Oレジスタの仮想アドレス（例えば、図19のデータ仮想アドレス空間253）との差は、命令中のオペランドによって相対アドレスとして直接指定できる距離以下であるようにすることができる。

【0046】

この情報処理装置は、同一のI/Oレジスタを示す仮想アドレスは、仮想アドレス空間（例えば、図19のデータ仮想アドレス空間253）において複数の領域に分けて配置されるようにすることができる。

【0047】

本発明によれば、演算を実行する演算手段（例えば、図5のCPU61）と、演算手段により実行される演算を実行するための命令またはデータを記憶する記憶手段（例えば、図5のメモリ62）と、演算手段と記憶手段との間において、命令またはデータを転送する複数の転送手段（例えば、図5の命令バス71およびデータバス72）と、演算手段により指定される仮想アドレスを、記憶手段の物理アドレスに変換する、少なくとも1個のアドレス変換手段（例えば、図5の命令アドレス変換部64またはデータアドレス変換部66）とを備える情報処理装置の情報処理方法が提供される。この情報処理方法は、転送手段（例えば、図5の命令バス71）が、他の転送手段（例えば、図5のデータバス72）の仮想アドレス空間（例えば、図6のデータ仮想アドレス空間102）と相互に重複しているアドレスにより構成される独立の仮想アドレス空間（例えば、図6の命令仮想アドレス空間101）をそれぞれ有し、アドレス変換手段（例えば、図5の命令アドレス変換部64）には、転送手段の仮想アドレス空間（例えば、図6の命令仮想アドレス空間101）を、単一の物理アドレス空間（例えば、図7の物理アドレス空間103）に変換させる変換ステップ（例えば、図16のステップS13およびS14）を備えることを特徴とする。

【0048】

本発明によれば、被写体を撮像する撮像手段（例えば、図17のCCD215）と、撮像手段により撮像された被写体の画像データを符号化する符号化手段（例えば、図17のJPEG符号化部223）と、符号化手段が画像データを符号化処理するための命令またはデータを指令する演算を実行する演算手段（例えば、図18のCPU61）と、演算手段により実行される演算を実行するための命令またはデータを記憶する記憶手段（例えば、図18のROM212、RAM213またはI/Oレジスタ231）とを備える撮像装

置（例えば、図 17 の撮像装置 201）が提供される。この撮像装置は、演算手段と記憶手段との間において、命令またはデータを転送する複数の転送手段（例えば、図 18 の命令バス 71 およびデータバス 72）と、演算手段により指定される仮想アドレスを、記憶手段の物理アドレスに変換する、少なくとも 1 個のアドレス変換手段（例えば、図 18 の命令アドレス変換部 64 またはデータアドレス変換部 66）とを備え、転送手段（例えば、図 18 の命令バス 71）は、他の転送手段（例えば、図 18 のデータバス 72）の仮想アドレス空間（例えば、図 19 のデータ仮想アドレス空間 253）と相互に重複しているアドレスにより構成される独立の仮想アドレス空間（例えば、図 19 の命令仮想アドレス空間 252）をそれぞれ有し、アドレス変換手段（例えば、図 18 の命令アドレス変換部 64）は、転送手段の仮想アドレス空間（例えば、図 19 の命令仮想アドレス空間 252）を、単一の物理アドレス空間（例えば、図 19 の物理アドレス空間 251）に変換し、符号化手段は、演算手段により指定され、アドレス変換手段により変換されたアドレスに対応する記憶手段の命令またはデータに基づいて、画像データの符号化処理を実行することを特徴とする。

【0049】

なお、本発明の記録媒体およびプログラムも、上述した本発明の情報処理方法と基本的に同様の構成であるため、繰り返しになるのでその説明は省略する。

【0050】

以下、図を参照して本発明の実施の形態について説明する。

【0051】

図 5 は、本発明を適用した情報処理装置 51 の構成例を表している。CPU（Central Processing Unit）61 は、メモリ 62 に記憶されている命令やデータを取得し、その命令やデータに従って各種の演算処理を実行する。図 5 の例においては、情報処理装置 51 は、CPU 61 からの命令の転送を行う命令バス 71 と CPU 61 からのデータの転送を行うデータバス 72 を別々に有しており、さらに、図 6 を参照して後述するが、それぞれ独立した仮想アドレス空間である、命令バス 71 用の命令仮想アドレス空間 101 とデータバス 72 用のデータ仮想アドレス空間 102 を有している。

【0052】

メモリ 62 は、ROM（Read Only Memory）や RAM（Random Access Memory）などにより構成されており、CPU 61 が演算処理を実行するための命令やデータなどを記憶している。

【0053】

CPU 61 は、メモリ 62 から命令を取得するとき、命令仮想アドレス空間 101 を通して、メモリ 62 を見ることにより、命令に対応する仮想アドレスを指示する。CPU 61 は、指示した命令の仮想アドレスを、命令バス 71 を介して、命令キャッシュ 63 および命令アドレス変換部 64 に出力する。また、CPU 61 は、メモリ 62 からデータを取得するとき、データ仮想アドレス空間 102 を通して、メモリ 62 を見ることにより、データに対応する仮想アドレスを指示する。CPU 61 は、指示したデータの仮想アドレスを、データバス 72 を介して、データキャッシュ 65 およびデータアドレス変換部 66 に出力する。なお、データは、定数、変数、およびレジスタのアドレスなどにより構成される。

【0054】

命令キャッシュ 63 は、仮想アドレスをタグとして、バスコントローラ 67 から出力された任意の容量（例えば、16 バイト、32 バイトのキャッシュライン単位）の命令を一時的に記録している。命令キャッシュ 63 は、命令キャッシュ 63 のタグを参照して、命令バス 71 を介して入力された仮想アドレスと命令キャッシュ 63 中のタグに記録されている命令の仮想アドレスが一致するかどうかを判断し、入力された仮想アドレスと命令キャッシュ 63 のタグに記録されている命令の仮想アドレスが一致すると判断した場合、仮想アドレスが一致した命令を、命令バス 71 を介して、CPU 61 に出力する。

【0055】

命令アドレス変換部 64 は、命令キャッシュ 63 が、入力された仮想アドレスと命令キャッシュ 63 のタグに記録されている命令の仮想アドレスが一致しないと判断した場合、命令バス 71 を介して入力された仮想アドレスを、メモリ 62 の物理アドレスに変換し、バスコントローラ 67 に出力する。

【0056】

データキャッシュ 65 は、仮想アドレスをタグとして、任意の容量（例えば、16 バイト、32 バイトのキャッシュライン単位）のデータを一時的に記録している。データキャッシュ 65 は、データキャッシュ 65 のタグを参照して、データバス 72 を介して入力された仮想アドレスとデータキャッシュ 65 のタグに記録されているデータの仮想アドレスが一致するかどうかを判断し、入力された仮想アドレスとデータキャッシュ 65 のタグに記録されているデータの仮想アドレスが一致すると判断した場合、一致したデータを、データバス 72 を介して、CPU 61 に出力させる。

【0057】

データアドレス変換部 66 は、データキャッシュ 65 が、入力された仮想アドレスとデータキャッシュ 65 のタグに記録されているデータの仮想アドレスが一致しないと判断した場合、データバス 72 を介して入力された仮想アドレスを、メモリ 62 の物理アドレスに変換し、バスコントローラ 67 に出力する。

【0058】

また、命令アドレス変換部 64 およびデータアドレス変換部 66（両方のうち、どちらか一方としてもよい）は、メモリ 62 の読み書きのアクセス権の制御を、アドレス変換単位で行っており、CPU 61 から書き込み指示が入力された場合など、その仮想アドレスが書き込み不可（読み出しのみの）領域のものであれば、CPU 61 に例外信号などを通知する。

【0059】

バスコントローラ 67 は、命令アドレス変換部 64 からの物理アドレスに対応する命令をメモリ 62 より取得し、命令キャッシュ 63 および命令バス 71 を介して、CPU 61 に出力する。また、バスコントローラ 67 は、データアドレス変換部 66 からの物理アドレスに対応するデータをメモリ 62 より取得し、データキャッシュ 65 およびデータバス 72 を介して、CPU 61 に出力する。

【0060】

なお、情報処理装置 51 においては、命令バス 71 およびデータバス 72 に対応して、命令キャッシュ 63 とデータキャッシュ 65 を別々に設けるようにしたが、キャッシュを 1 つとしてもよい。この場合、キャッシュは、命令バス 71 とデータバス 72 からのデータを識別して、任意の容量のデータを一時的に記録する。

【0061】

図 6 は、図 5 の情報処理装置 51 で用いられる仮想アドレス空間の構成例を示している。図 6 の例においては、仮想アドレス空間は、それぞれ独立した仮想アドレス空間である、命令バス 71 用の命令仮想アドレス空間 101 とデータバス 72 用のデータ仮想アドレス空間 102 により構成される。

【0062】

命令仮想アドレス空間 101 およびデータ仮想アドレス空間 102 は、お互いに重複した仮想アドレスを使用している。例えば、命令仮想アドレス空間 101 は、仮想アドレス「0x000000」乃至「0x100000」を使用しており、データ仮想アドレス空間 102 は、仮想アドレス「0x000000」乃至「0x010000」を使用している。すなわち、仮想アドレス「0x000000」乃至「0x010000」は、命令仮想アドレス空間 101 およびデータ仮想アドレス空間 102 において重複して用いられている。

【0063】

このようにして構成される命令アドレス空間 101 およびデータ仮想アドレス空間 102 と、実際のメモリ 62 のアドレス空間である物理アドレス空間 103 との対応関係を、

図 7 を参照して説明する。なお、命令仮想アドレス空間 1 0 1 およびデータ仮想アドレス空間 1 0 2 において、上からの配置が同一の行にある場合は、同一の仮想アドレスが使用されているものとする。

【 0 0 6 4 】

図 7 の例においては、物理アドレス空間 1 0 3 は、アドレス順（アドレスの昇順）に、命令のみのページが記憶されているアドレス領域 1 0 3 - 1 乃至 1 0 3 - 4、データのみのページが記憶されているアドレス領域 1 0 3 - 5、命令のみのページが記憶されているアドレス領域 1 0 3 - 6、並びに、データのみのページが記憶されているアドレス領域 1 0 3 - 7 および 1 0 3 - 8 により構成されている。なお、各アドレス領域は、アドレス変換の最小単位（例えば、4 k バイト）であるページサイズ（アドレス変換）単位で構成されている。

【 0 0 6 5 】

命令仮想アドレス空間 1 0 1 は、物理アドレス空間 1 0 3 において、命令のみのページが記憶されているアドレス領域の物理アドレスに対応する仮想アドレスのみにより構成される。したがって、命令仮想アドレス空間 1 0 1 は、命令のみのページが記憶されているアドレス領域 1 0 3 - 1 に対応する仮想アドレスが配置されるアドレス領域 1 0 1 - 1、命令のみのページが記憶されているアドレス領域 1 0 3 - 2 に対応する仮想アドレスが配置されるアドレス領域 1 0 1 - 2、命令のみのページが記憶されているアドレス領域 1 0 3 - 6 に対応する仮想アドレスが配置されるアドレス領域 1 0 1 - 3、命令のみのページが記憶されているアドレス領域 1 0 3 - 4 に対応する仮想アドレスが配置されるアドレス領域 1 0 1 - 4、および、命令のみのページが記憶されているアドレス領域 1 0 3 - 3 に対応する仮想アドレスが配置されるアドレス領域 1 0 1 - 5 により構成される。

【 0 0 6 6 】

これに対して、データ仮想アドレス空間 1 0 2 は、物理アドレス空間 1 0 3 において、データのみのページが記憶されているアドレス領域の物理アドレスに対応する仮想アドレスのみにより構成される。したがって、データ仮想アドレス空間 1 0 2 は、データのみのページが記憶されているアドレス領域 1 0 3 - 5 に対応する仮想アドレスが配置されるアドレス領域 1 0 2 - 1、データのみのページが記憶されているアドレス領域 1 0 3 - 8 に対応する仮想アドレスが配置されるアドレス領域 1 0 2 - 2、および、データのみのページが記憶されているアドレス領域 1 0 3 - 7 に対応する仮想アドレスが配置されるアドレス領域 1 0 2 - 3 により構成される。

【 0 0 6 7 】

命令アドレス変換部 6 4 は、以上のように構成された命令仮想アドレス空間 1 0 1 と物理アドレス空間 1 0 3 の対応関係を、命令アドレス変換テーブルとして設定し、記憶している。また、データアドレス変換部 6 6 は、データ仮想アドレス空間 1 0 2 と物理アドレス空間 1 0 3 の対応関係を、データアドレス変換テーブルとして設定し、記憶している。

【 0 0 6 8 】

そして、命令アドレス変換部 6 4 は、例えば、CPU 6 1 より、アドレス領域 1 0 1 - 1 の命令のみのページに対応する仮想アドレスが指定された場合、命令アドレス変換テーブルに基づいて、アドレス領域 1 0 3 - 1 の物理アドレスに変換する。これにより、CPU 6 1 は、アドレス領域 1 0 3 - 1 に記憶されている命令を取得することができる。

【 0 0 6 9 】

同様に、データアドレス変換部 6 6 は、例えば、CPU 6 1 より、アドレス領域 1 0 2 - 1 のデータのみのページに対応する仮想アドレスが指定された場合、データアドレス変換テーブルに基づいて、アドレス領域 1 0 3 - 5 の物理アドレスに変換する。これにより、CPU 6 1 は、アドレス領域 1 0 3 - 5 に記憶されているデータを取得することができる。

【 0 0 7 0 】

以上のように、2 つのアドレス変換テーブルを使用することにより、命令仮想アドレス空間 1 0 1 とデータ仮想アドレス空間 1 0 2 が重複した仮想アドレスを用いていても、命

令仮想アドレス空間 101 とデータ仮想アドレス空間 102 の仮想アドレスは、相互に重複しない単一の物理アドレス空間 103 の所定のアドレスに変換される。

【0071】

なお、いまの場合、命令アドレス変換部 64 とデータアドレス変換部 66 がそれぞれのアドレス変換テーブルを用いて、命令仮想アドレス空間 101 とデータ仮想アドレス空間 102 の重複した仮想アドレスを、単一の物理アドレス空間 103 に変換するようにしたが、命令バス 71 から入力された仮想アドレスであるか、データバス 72 から入力された仮想アドレスであるか識別子を付加することにより、1つのアドレス変換部で、2つのアドレス変換テーブルに基づいて、アドレスを変換するようにしてもよい。

【0072】

以上のように、命令仮想アドレス空間 101 およびデータ仮想アドレス空間 102 として、仮想アドレス空間を別々に設けるようにしたので、仮想アドレス空間において命令とデータを完全に分離することができる。これにより、データとそのデータを操作する命令を、図 1 に示される仮想アドレス空間よりも近い仮想アドレス（または、同一の仮想アドレス）に配置できる。また、命令で使用する長い定数などのデータを別途保持する場合も、そのデータは、データ仮想アドレス空間 102 に配置されるため、命令仮想アドレス空間 101 において、図 2 で上述したようなジャンプ命令 1 は不要であり、無駄な命令数が増えることが抑制される。

【0073】

図 8 は、図 7 の命令アドレス空間 101 およびデータ仮想アドレス空間 102 のアドレス変換単位のアドレス領域 101-1 および 102-1 の構成例を示す。なお、アドレス領域 101-1 およびアドレス領域 102-1 において、上からの配置が同一の行にある場合は、同一の仮想アドレスが使用されているものとする。

【0074】

図 8 の例の場合、命令仮想アドレス空間 101 のアドレス領域 101-1 は、命令 1 乃至 12 に対応する仮想アドレス（命令 1 乃至 12 が記憶された仮想アドレス）で構成されており、データ仮想アドレス空間 102 のアドレス領域 102-1 は、データ 1 乃至 12 に対応する仮想アドレス（データ 1 乃至 12 が記憶された仮想アドレス）により構成されている。

【0075】

なお、厳密には、CPU 61 が仮想アドレスを指定すると、指定された仮想アドレスに対応する命令またはデータが、命令キャッシュ 63 またはデータキャッシュ 65 にある場合は、対応する命令またはデータが CPU 61 に出力され、指定された仮想アドレスに対応する命令またはデータが、命令キャッシュ 63 またはデータキャッシュ 65 にない場合は、命令アドレス変換部 64 またはデータアドレス変換部 66 により仮想アドレスが対応する物理アドレスに変換され、バスコントローラ 67 により物理アドレスに対応する命令やデータ（物理アドレスに記憶された命令やデータ）がメモリ 62 から読み出されて、CPU 61 に出力されるが、説明の便宜上、CPU 61 が仮想アドレスを指定すると、その仮想アドレスに対応する命令やデータが読み出され、命令が実行される、などと記述する。

【0076】

図 8 の例の場合、CPU 61 は、命令 3 の仮想アドレスを指定して、例えば、データ 7 を読み出すという命令 3 を実行する。このとき、命令とデータのアドレス空間を別々にし、さらに、命令仮想アドレス空間 101 とデータ仮想アドレス空間 102 で重複した仮想アドレスを使用するようにしたことにより、命令 3 によって読み出されるデータ 7 の仮想アドレスは、データ仮想アドレス空間 102 において、命令 3 のオペランドにより指定可能な距離 D1 にある仮想アドレスとすることができる。したがって、CPU 61 は、命令 3 のオペランドによりデータ 7 の仮想アドレスを指定して、データ 7 を、直接読み出すことができる。

【0077】

このように、命令仮想アドレス空間 101 とデータ仮想アドレス空間 102 においては、仮想アドレスが重複しているため、命令が指定するデータの仮想アドレスを、その命令の仮想アドレスから、命令のオペランドで指定可能な距離の仮想アドレスとすることができ、頻度を極めて多くすることができる。したがって、命令が指定するデータの相対アドレスを一旦オペランドにより指定可能な距離に保持しなければならない状態が生じることを阻止することができる。

【0078】

図 9 は、図 5 の命令キャッシュ 63 およびデータキャッシュ 65 の中のデータの構成例を示している。なお、図 9 において、図 8 における場合と対応する部分には対応する符号を付してあり、その説明は繰り返しになるので省略する。

【0079】

図 9 の例においては、命令仮想アドレス空間 101 のアドレス領域 101-1 において、命令 1 乃至 4 までの範囲 E1 は、CPU 61 がアドレス領域 101-1 の命令 1 の仮想アドレスを指定した場合に、命令キャッシュ 63 に登録される範囲を示している。命令 5 乃至 8 までの範囲 E2 は、CPU 61 がアドレス領域 101-1 の命令 5 の仮想アドレスを指定した場合に、命令キャッシュ 63 に登録される範囲を示している。命令 9 乃至 12 までの範囲 E3 は、CPU 61 がアドレス領域 101-1 の命令 9 の仮想アドレスを指定した場合に、命令キャッシュ 63 に登録される範囲を示している。命令仮想アドレス空間 101 の仮想アドレスには、命令 1 乃至 12 しか記憶されていないので、命令キャッシュ 63 には、命令しか登録されない。

【0080】

また、データ仮想アドレス空間 102 のアドレス領域 102-1 において、データ 1 乃至 4 までの範囲 E1 は、CPU 61 がアドレス領域 102-1 のデータ 1 の仮想アドレスを指定した場合に、データキャッシュ 65 に登録される範囲を示している。データ 5 乃至 8 までの範囲 E2 は、CPU 61 がアドレス領域 102-1 のデータ 5 の仮想アドレスを指定した場合に、データキャッシュ 65 に登録される範囲を示している。データ 9 乃至 12 までの範囲 E3 は、CPU 61 がアドレス領域 102-1 のデータ 9 の仮想アドレスを指定した場合に、データキャッシュ 65 に登録される範囲を示している。データ仮想アドレス空間 102 の仮想アドレスには、データ 1 乃至 12 しか記憶されていないので、データキャッシュ 65 には、データしか登録されない。

【0081】

以上のように、命令キャッシュ 63 には、データが登録されることはなく、データキャッシュ 65 には、命令が登録されることはない。したがって、命令キャッシュ 63 およびデータキャッシュ 65 において、貴重なメモリ領域を有効に利用することができる。

【0082】

なお、上述した図 7 の例においては、命令アドレス空間 101 を命令のみのページに対応する仮想アドレスにより構成するようにし、データアドレス空間 102 をデータのみのページに対応する仮想アドレスにより構成するようにして、命令アドレス空間 101 およびデータ仮想アドレス空間 102 の仮想アドレスが、アドレスが相互に重複しない単一の物理アドレス空間 103 の所定のアドレスに変換される例を説明したが、この場合、図 10 に示されるように、空き領域が生じてしまうことがある。

【0083】

図 10 は、図 7 の命令アドレス空間 101、データ仮想アドレス空間 102 および物理アドレス空間 103 の対応関係の他の例を示している。なお、図 10 において、図 7 における場合と対応する部分には対応する符号を付してあり、その説明は繰り返しになるので省略する。

【0084】

図 10 の例において、物理アドレス空間 103 は、アドレス順（アドレスの昇順）に、命令のみのページが記憶されているアドレス領域 103-11 乃至 103-14、命令のみのページが記憶されている領域と空き領域により構成されるアドレス領域 103-15

、および、データのためのページが記憶されているアドレス領域 1 0 3 - 1 6 乃至 1 0 3 - 1 8 により構成されている。

【 0 0 8 5 】

そして、命令仮想アドレス空間 1 0 1 は、命令のためのページが記憶されているアドレス領域 1 0 3 - 1 1 に対応する仮想アドレスが配置されるアドレス領域 1 0 1 - 1 1、命令のためのページが記憶されているアドレス領域 1 0 3 - 1 2 に対応する仮想アドレスが配置されるアドレス領域 1 0 1 - 1 2、命令のためのページが記憶されているアドレス領域 1 0 3 - 1 4 に対応する仮想アドレスが配置されるアドレス領域 1 0 1 - 1 3、命令のためのページが記憶されているアドレス領域 1 0 3 - 1 3 に対応する仮想アドレスが配置されるアドレス領域 1 0 1 - 1 4、および、命令のためのページが記憶されている領域と空き領域により構成されるアドレス領域 1 0 3 - 1 5 に対応する仮想アドレスが配置されるアドレス領域 1 0 1 - 1 5 により構成される。

【 0 0 8 6 】

これに対して、データ仮想アドレス空間 1 0 2 は、データのためのページが記憶されているアドレス領域 1 0 3 - 1 8 に対応する仮想アドレスが配置されるアドレス領域 1 0 2 - 1 1、データのためのページが記憶されているアドレス領域 1 0 3 - 1 7 に対応する仮想アドレスが配置されるアドレス領域 1 0 2 - 1 2、および、データのためのページが記憶されているアドレス領域 1 0 3 - 1 6 に対応する仮想アドレスが配置されるアドレス領域 1 0 2 - 1 3 により構成される。

【 0 0 8 7 】

すなわち、図 1 0 の例においては、命令アドレス変換部 6 4 およびデータアドレス変換部 6 6 は、各ページ単位（アドレス変換単位）の仮想アドレスを、相互に重複しない単一の物理アドレス空間 1 0 3 の所定のアドレスに変換する。したがって、物理アドレス空間 1 0 3 において、命令とデータの物理アドレスは、ページ単位（アドレス変換単位）で分割されている必要がある。すなわち、アドレス領域 1 0 3 - 1 5 に示されるように、物理アドレス空間 1 0 3 においては、命令とデータの境界を、ページ単位（アドレス変換単位）の境界に合わせる必要があるため、命令とデータの物理アドレスの間に、空き領域が生じてしまい、メモリが余分に必要になってしまうことがある。

【 0 0 8 8 】

そこで、この情報処理装置 5 1 においては、図 1 0 の命令とデータの境界であるアドレス領域 1 0 3 - 1 5 の空き領域に、図 1 1 に示されるように、定数データを配置させ、このアドレス領域 1 0 3 - 1 5 を命令とデータの両方の仮想アドレスで使用するようにする。

【 0 0 8 9 】

図 1 1 は、命令アドレス空間 1 2 1、データ仮想アドレス空間 1 2 2 および物理アドレス空間 1 0 3 の対応関係の例を示している。なお、図 1 1 の命令アドレス空間 1 2 1、データ仮想アドレス空間 1 2 2 は、図 7 の命令アドレス空間 1 0 1、データ仮想アドレス空間 1 0 2 の他の例である。

【 0 0 9 0 】

図 1 1 の例の場合、物理アドレス空間 1 0 3 は、アドレス順（アドレスの昇順）に、命令のためのページが記憶されているアドレス領域 1 0 3 - 1 1 乃至 1 0 3 - 1 4、命令のみと定数データのためのページが記憶されているアドレス領域 1 0 3 - 1 5、および、データのためのページが記憶されているアドレス領域 1 0 3 - 1 6 により構成されている。すなわち、図 1 1 の例においては、図 1 0 の物理アドレス空間 1 0 3 の命令とデータの境界の領域であるアドレス領域 1 0 3 - 1 5 の空き領域に、定数データのアドレスが配置されている。

【 0 0 9 1 】

命令仮想アドレス空間 1 2 1 は、命令のためのページが記憶されているアドレス領域 1 0 3 - 1 1 に対応する仮想アドレスが配置されるアドレス領域 1 2 1 - 1、命令のためのページが記憶されているアドレス領域 1 0 3 - 2 に対応する仮想アドレスが配置されるアドレ

ス領域 1 2 1 - 1 2、命令のみのページが記憶されているアドレス領域 1 0 3 - 1 4 に対応する仮想アドレスが配置されるアドレス領域 1 2 1 - 3、命令のみのページが記憶されているアドレス領域 1 0 3 - 1 3 に対応する仮想アドレスが配置されるアドレス領域 1 2 1 - 4、および、命令のみと定数データのみのページが記憶されているアドレス領域 1 0 3 - 1 5 に対応する仮想アドレスが配置されるアドレス領域 1 2 1 - 5 により構成される。すなわち、命令仮想アドレス空間 1 2 1 は、命令仮想アドレス空間 1 0 1 と同様に、基本的には、命令のみのページが記憶されているアドレス領域の物理アドレスに対応する仮想アドレスにより構成されるが、命令とデータの境界のアドレス領域の定数データに対応する仮想アドレスも配置されている。

【0092】

これに対して、データ仮想アドレス空間 1 2 2 は、命令のみと定数データのみのページが記憶されているアドレス領域 1 0 3 - 1 5 に対応する仮想アドレスが配置されるアドレス領域 1 2 2 - 1、データのみのページが記憶されているアドレス領域 1 0 3 - 1 6 に対応する仮想アドレスが配置されるアドレス領域 1 2 2 - 2、および、データのみのページが記憶されているアドレス領域 1 0 3 - 1 6 に対応する仮想アドレスが配置されるアドレス領域 1 2 2 - 3 により構成される。すなわち、データ仮想アドレス空間 1 2 2 は、データ仮想アドレス空間 1 0 2 と同様に、基本的には、データのみのページが記憶されているアドレス領域の物理アドレスに対応する仮想アドレスにより構成されるが、命令とデータの境界のアドレス領域の命令に対応する仮想アドレスも配置されている。

【0093】

そして、図 7 を参照して上述した場合と同様に、命令アドレス変換部 6 4 は、以上のように構成された命令仮想アドレス空間 1 2 1 と物理アドレス空間 1 0 3 の対応関係を、命令アドレス変換テーブルとして設定し、記憶している。また、データアドレス変換部 6 6 は、データ仮想アドレス空間 1 2 2 と物理アドレス空間 1 0 3 の対応関係を、データアドレス変換テーブルとして設定し、記憶している。

【0094】

したがって、命令アドレス変換部 6 4 は、CPU 6 1 より、例えば、アドレス領域 1 2 1 - 1 の命令のみのページに対応する仮想アドレスが指定された場合、命令アドレス変換テーブルに基づいて、アドレス領域 1 0 3 - 1 1 の物理アドレスに変換する。これにより、CPU 6 1 は、アドレス領域 1 0 3 - 1 1 に記憶されている命令を取得することができる。また、命令アドレス変換部 6 4 は、CPU 6 1 より、例えば、アドレス領域 1 2 1 - 5 のうちの命令のみの部分に対応する仮想アドレスが指定された場合、命令アドレス変換テーブルに基づいて、アドレス領域 1 0 3 - 1 5 の物理アドレスに変換する。これにより、CPU 6 1 は、アドレス領域 1 0 3 - 1 5 に記憶されている命令を取得することができる。

【0095】

同様に、データアドレス変換部 6 6 は、CPU 6 1 より、例えば、アドレス領域 1 2 2 - 1 のうちの定数データのみ部分に対応する仮想アドレスが指定された場合、データアドレス変換テーブルに基づいて、アドレス領域 1 0 3 - 1 5 の物理アドレスに変換する。これにより、CPU 6 1 は、アドレス領域 1 0 3 - 1 5 に記憶されている定数データを取得することができる。また、データアドレス変換部 6 6 は、CPU 6 1 より、例えば、アドレス領域 1 2 2 - 2 のデータのみのページに対応する仮想アドレスが指定された場合、または、アドレス領域 1 2 2 - 3 のデータのみのページに対応する仮想アドレスが指定された場合、データアドレス変換テーブルに基づいて、アドレス領域 1 0 3 - 1 6 の物理アドレスに変換する。これにより、CPU 6 1 は、アドレス領域 1 0 3 - 1 6 に記憶されているデータを取得することができる。

【0096】

すなわち、図 1 1 の例においては、命令仮想アドレス空間 1 2 1 のアドレス領域 1 2 1 - 5 とデータ仮想アドレス空間 1 2 2 のアドレス領域 1 2 2 - 1 は、共に、物理アドレス空間 1 0 3 の同じアドレス領域 1 0 3 - 1 5 に変換される。また、データアドレス空間 1

22のアドレス領域122-2と122-3は、共に、物理アドレス空間103の同じアドレス領域103-16に変換される。

【0097】

以上のように、命令仮想アドレス空間とデータ仮想アドレス空間を別々に設け、物理アドレス空間103の同じアドレス領域（例えば、アドレス領域103-5）を、命令仮想アドレス空間とデータ仮想アドレス空間の両方の仮想アドレスで使用させるようにしたので、図7の命令仮想アドレス空間101およびデータ仮想アドレス空間102の場合と同様に、データとそのデータを操作する命令を、図1に示される仮想アドレス空間よりも近い仮想アドレス（または、同一の仮想アドレス）に配置できるだけでなく、さらに、物理アドレス空間103において、同じページ（アドレス変換）単位に命令とデータを配置することができ、図10を参照して上述した空き領域のようなメモリ62内の無駄な領域を削減することができる。

【0098】

また、この場合、アドレス領域103-5に示されるように、命令と同じページ単位内に配置されるデータを、関数のアドレスや比較対象の定数などの定数データのみするようにしたので、命令アドレス変換部64またはデータアドレス変換部66は、メモリ62において、命令と定数データが配置されているページの領域を読み出しのみの領域にすることができる。これにより、プログラム時に予測されなかったバッファオーバーフローが発生しても変数が命令アドレス空間に割り当てられていないため、少なくとも任意の命令の実行を防ぐことができる。

【0099】

さらに、図11の物理アドレス空間103においては、データ仮想アドレス空間122の複数のページ単位の仮想アドレス（例えば、アドレス領域122-2および122-3）を、同じ物理アドレス領域（例えば、アドレス領域103-16）に変換するようにしたので、メモリ62内の領域をより効率的に使用することができる。なお、データ仮想アドレス空間122と同様に、命令仮想アドレス空間121において、複数のページ単位の仮想アドレスを、同じ物理アドレス領域に変換するようにしてもよい。

【0100】

図12は、図11の命令アドレス空間121およびデータ仮想アドレス空間122の場合における図5の命令キャッシュ63およびデータキャッシュ65の中のデータの構成例を示す。なお、図12の例においては、図11の物理アドレス空間103の同じアドレス領域103-15に対応する命令アドレス空間121のアドレス領域121-5、およびデータ仮想アドレス空間122のアドレス領域122-1を用いて説明する。

【0101】

図12の例の場合、命令仮想アドレス空間121のアドレス領域121-5は、命令1乃至8および定数データ1乃至4に対応する仮想アドレス（命令1乃至8および定数データ1乃至4が記憶された仮想アドレス）で構成されており、さらに、命令1乃至4までの範囲F1、命令5乃至8までの範囲F2、定数データ1乃至4までの範囲F3は、それぞれキャッシュに登録される範囲である。すなわち、アドレス領域121-5において、命令と定数データの仮想アドレスは、キャッシュライン単位（例えば、16バイトや32バイト）で分離されている。

【0102】

したがって、CPU61がアドレス領域121-5の命令1の仮想アドレスを指定した場合には、範囲F1が命令キャッシュ63に登録され、CPU61がアドレス領域121-5の命令5の仮想アドレスを指定した場合には、範囲F2が命令キャッシュ63に登録される。ただし、命令仮想アドレス空間121のアドレス領域121-5の定数データの仮想アドレスは指定されないので、範囲F3が命令キャッシュ63に登録されることはない。

【0103】

同様に、データ仮想アドレス空間122のアドレス領域122-1は、命令1乃至8お

よび定数データ 1 乃至 4 に対応する仮想アドレス（命令 1 乃至 8 および定数データ 1 乃至 4 が記憶された仮想アドレス）で構成されており、さらに、命令 1 乃至 4 までの範囲 F 1、命令 5 乃至 8 までの範囲 F 2、定数データ 1 乃至 4 までの範囲 F 3 は、それぞれキャッシュに登録される範囲である。すなわち、アドレス領域 122-1 において、命令と定数データの仮想アドレスは、キャッシュライン単位で分離されている。

【0104】

この場合も、CPU 61 がアドレス領域 122-1 の定数データ 1 の仮想アドレスを指定した場合には、範囲 F 3 がデータキャッシュ 65 に登録されるが、データ仮想アドレス空間 122 のアドレス領域 122-1 の命令の仮想アドレスが指定されることはないので、範囲 F 1 または F 2 がデータキャッシュ 65 に登録されることはない。

【0105】

以上のように、同じページ（アドレス変換）単位内に命令とデータを配置する場合には、キャッシュライン単位で分離するようにしたので、図 10 の例のように、ページ単位で分離する場合よりも、メモリ 62 において、無駄なメモリ領域が削減され、さらに、命令キャッシュ 63 には、データが登録されることはなく、データキャッシュ 65 には、命令が登録されることはない。したがって、命令キャッシュ 63 およびデータキャッシュ 65 において、貴重なメモリ領域を有効に利用することができる。

【0106】

なお、図 11 の命令仮想アドレス空間 121 およびデータ仮想アドレス空間 122 は、物理アドレス空間 103 の命令とデータの境界のアドレス領域（アドレス変換単位）において、同じページ（アドレス変換）単位内に命令とデータを、キャッシュライン単位で分離させて配置するようにしたものであり、物理アドレス空間 103 の命令とデータの境界のアドレス領域以外においては、図 7 の命令仮想アドレス空間 101 およびデータ仮想アドレス空間 102 のように、命令とデータ分離されている。

【0107】

したがって、命令仮想アドレス空間 121 およびデータ仮想アドレス空間 122 の場合も、もちろん、図 7 の命令仮想アドレス空間 101 およびデータ仮想アドレス空間 102 の場合と同様に、データとそのデータを操作する命令を、図 1 に示される仮想アドレス空間よりも近い仮想アドレス（または、同一の仮想アドレス）に配置できる。また、命令で使用する長い定数などのデータを別途保持する場合も、そのデータは、データ仮想アドレス空間 122 に配置される場合が多いため、図 1 に示される仮想アドレス空間に較べて、無駄な命令数が増えることが抑制される。

【0108】

なお、上記説明においては、メモリ 62 の構成を特に特定してはいなかったが、次に、図 13 を参照して、メモリ 62 を、デバイスにより分けて構成する場合について説明する。なお、以降においては、図 7 を参照して上述した構成の仮想アドレス空間を用いて説明するが、図 11 を参照して上述した構成の仮想アドレス空間を用いる場合も、基本的に同様の構成であり、繰り返しになるので、その説明は省略する。

【0109】

図 13 の例においては、メモリ 62 は、ROM と RAM により構成される。ROM は、読み出し専用の半導体メモリにより構成されており、書き換え不要の命令やその命令が指示するデータを記憶している。それに対して、RAM は、任意のアドレスを指定して読み書きすることが可能な半導体メモリにより構成されており、ROM の命令が指示するデータなどが記憶される。したがって、命令仮想アドレス空間（図示せず）は、ROM により構成されるが、データ仮想アドレス空間 151 は、図 13 に示されるように、ROM と RAM により構成される。なお、図 13 においては、書き込み禁止領域として ROM、書き込み可能領域として RAM を用いて説明するが、書き込み禁止領域には、命令アドレス変換部 64 またはデータアドレス変換部 66 により書き込み禁止にされている RAM も含まれるようにしてもよい。

【0110】

図 1 3 は、データアドレス仮想空間 1 5 1 とそれに対応する物理アドレス空間 1 5 2 の構成例を示す。図 1 3 の例の場合、物理アドレス空間 1 5 2 は、ROM のデータが記憶されている 4 K バイトのアドレス領域 1 6 1、および、RAM のデータが記憶されている 4 K バイトのアドレス領域 1 6 2 により構成される。

【0 1 1 1】

データアドレス仮想空間 1 5 1 は、ROM のデータが記憶されている 2 K バイトのアドレス領域 1 7 1、RAM のデータが記憶されている 2 K バイトのアドレス領域 1 7 2、ROM のデータが記憶されている 2 K バイトのアドレス領域 1 7 3 および RAM のデータが記憶されている 2 K バイトのアドレス領域 1 7 4 の順に構成される。すなわち、データ仮想アドレス空間 1 5 1 では、物理アドレス空間 1 5 2 の 4 K バイトの ROM のアドレス領域 1 6 1 に記憶されているデータを、アドレス領域 1 6 1 の半分の容量である 2 K バイトのアドレス領域 1 7 1 および 1 7 3 に分けて記憶しており、物理アドレス空間 1 5 2 の RAM の 4 K バイトのアドレス領域 1 6 2 に記憶されているデータを、アドレス領域 1 6 2 の半分の容量である 2 K バイトのアドレス領域 1 7 2 および 1 7 4 に分けて記憶している。

【0 1 1 2】

このようにデータ仮想アドレス空間 1 5 1 を構成することにより、命令仮想アドレス空間において始めの方の命令に対応するデータが RAM に記憶されている場合でも、命令仮想アドレス空間において後ろの方の命令に対応するデータが RAM に記憶されている場合でも、データ仮想アドレス空間 1 5 1 を、物理アドレス空間 1 5 2 のままの構成にするよりも、命令に対応するデータの仮想アドレスが相対的に、命令から遠い距離になることを抑制することができる。

【0 1 1 3】

次に、上述したデータ仮想アドレス空間 1 5 1 の仮想アドレスを、物理アドレス空間 1 5 2 の物理アドレスにアドレス変換する方法について、図 1 4 および図 1 5 を参照して説明する。

【0 1 1 4】

図 1 4 の例において、図 1 3 の物理アドレス空間 1 5 2 に示されるように、アドレス領域が 4 K バイトごとにデバイス（ROM と RAM）が異なっているため、物理アドレス 1 8 2 は、デバイス（例えば、ROM または RAM）を選択するためのデバイス選択アドレスとしての上位 2 0 ビットと、デバイス内（例えば、ROM のアドレス領域内）のオフセット位置を指定するためのデバイス内オフセットアドレスとしての下位 1 2 ビットの 3 2 ビットにより構成される。

【0 1 1 5】

ここで、図 1 3 のデータ仮想アドレス空間 1 5 1 のうち、例えば、RAM のアドレス領域 1 7 2 の仮想アドレス 1 8 1 を、物理アドレス空間 1 5 2 の RAM のアドレス領域 1 6 2 の物理アドレス 1 8 2 に変換する場合、デバイスだけでなく、さらに、そのデバイス内のオフセット位置を変換しなければならないので、図 1 4 のハッチング部分に示されるように、デバイス選択アドレスとしての上位 2 0 ビットだけでなく、デバイス内オフセットアドレスである下位ビットの一部（図 1 4 の場合、1 ビット）まで変換する必要がある。

【0 1 1 6】

そこで、図 1 5 に示されるように、データ仮想アドレス空間 1 5 1 の仮想アドレス 1 8 1 の下位 1 2 ビットは、変換せずに、仮想アドレス 1 8 1 の上位 2 0 ビット（図 1 5 のハッチング部分）を、データアドレス変換テーブルに基づいて、所定のアドレス変換を行い、変換後アドレス 1 9 1 とする。その後、変換後アドレス 1 9 1 のうちの、変換した上位 2 0 ビット（図 1 5 のハッチング部分）の最下位 1 ビットと、残りの下位 1 2 ビットの最上位 1 ビットを交換して、物理アドレス 1 8 2 とする。これにより、デバイス内オフセットアドレスである下位ビットをデータアドレス変換テーブルに基づいて、直接変換しなくても、デバイス選択アドレスだけでなく、デバイス内オフセットアドレスも変換された物理アドレス 1 8 2 とすることができる。

【0117】

すなわち、図15のアドレス変換方法は、図14のアドレス変換方法よりも変換するビット数も少ないため、効率よくアドレス変換することができる。なお、図15において使用されるデータアドレス変換テーブルは、変換後の上位ビットと下位ビットのうち1ビットの交換を考慮して作成されているものとする。また、図14および図15において説明した上位ビット数、下位ビット数、アドレス総ビット数、および、変換後において交換する上位ビットと下位ビットのうちの所定のビット数は、これに限定するものではない。したがって、例えば、変換後において交換する上位ビットと下位ビットのうちの所定のビット数を、2ビットとしてもよいし、10ビットとしてもよい。

【0118】

次に、図16のフローチャートを参照して、図15のアドレス変換処理について説明する。

【0119】

CPU61は、メモリ62からデータを取得するために、データ仮想アドレス空間151を参照して、データに対応する仮想アドレス（例えば、図15の仮想アドレス181）を、データバス72を介して、データキャッシュ65およびデータアドレス変換部66に出力する。

【0120】

データキャッシュ65は、ステップS11において、CPU61から仮想アドレスが入力されるまで待機しており、CPU61から仮想アドレスが入力されたと判断した場合、ステップS12に進み、データキャッシュ65のタグに基づいて、CPU61から入力された仮想アドレスに対応するデータが、データキャッシュ65内にあるか否かを判断する。

【0121】

ステップS12において、CPU61から入力された仮想アドレスに対応するデータが、データキャッシュ65内にないと判断された場合、データキャッシュ65は、その結果をデータアドレス変換部66に出力し、ステップS13に進み、データアドレス変換部66は、仮想アドレスの上位アドレス20ビットを、所定のデータアドレス変換テーブルを参照して、変換し、ステップS14に進む。なお、このとき、図15の変換後アドレス191に示されるように、仮想アドレスの残りの下位12ビットは、元のまま変換されない。

【0122】

ステップS14において、データアドレス変換部66は、変換された上位20ビットのアドレスのうちの一部（図15の場合、1ビット）と、残りの下位12ビットのアドレスのうちの一部（図15の場合、1ビット）を入れ替えて、物理アドレス（図15の物理アドレス182）を取得し、取得した物理アドレスをバスコントローラ67に出力し、ステップS15に進む。

【0123】

ステップS15において、バスコントローラ67は、データアドレス変換部66からの物理アドレスに対応するデータを、メモリ62から取得し、データキャッシュ65に出力し、ステップS16に進み、データキャッシュ65は、バスコントローラ67からのデータを、データバス72を介して、CPU61に出力する。

【0124】

一方、ステップS12において、データキャッシュ65は、CPU61から入力された仮想アドレスに対応するデータが、データキャッシュ65内にあると判断した場合、ステップS13乃至S15の処理をスキップし、ステップS16に進み、CPU61から入力された仮想アドレスに対応するデータを、データバス72を介してCPU61に出力する。

【0125】

以上のように、CPU61が指示したデータ仮想アドレス空間151の仮想アドレスの

上位アドレスのみを変換し、変換された上位アドレスのうちの一部と、残りの下位アドレスのうちの一部を入れ替えて、物理アドレス空間の物理アドレスに変換することができるので、仮想アドレスすべてを変換するよりも、変換するビット数が少なくなる。これにより、変換効率を向上させることができる。

【0126】

図17は、本発明を適用した撮像装置201の構成例を示す。撮像装置201は、例えば、カムコーダ（カメラ一体型ビデオレコーダ）またはデジタルスチルカメラ（DSC）などにより構成される。図17において、CPU部211は、ROM（Read Only Memory）212、またはRAM（Random Access Memory）213に記憶されている命令またはプログラムに従って各種の演算処理を実行する。

【0127】

レンズ214は、被写体からの光を入力し、CCD（Charge-Coupled Devices）撮像素子215（以下、単に、CCD215と称する）に結像する。CCD215は、被写体の画像に対応する画像データを、A/D（Analog / Digital）変換部216に出力する。A/D変換部216は、CCD215からの画像データをデジタルデータに変換し、信号処理部217に出力する。信号処理部217は、A/D変換部216によりデジタルに変換された画像データを、信号処理し、メモリ制御部218を介して、メモリ219に記録する。

【0128】

表示制御部220は、メモリ制御部218を介して、メモリ219に記録された画像データを読み出し、LCD（Liquid Crystal Display）エンコーダ221を制御し、メモリ219から読み出した画像データを、LCD222用にエンコードさせ、LCD222に出力させる。

【0129】

JPEG（Joint Photographic Experts Group）符号化部223は、メモリ制御部218を介して、メモリ219に記録された画像データを読み出し、JPEGで符号化して、メモリ制御部218を介して、メモリ219に書き戻す。記録制御部224は、JPEG符号化部223により符号化された画像データを、メモリ制御部218を介して、メモリ219から読み出し、光ディスクやメモリスティック（商標）などにより構成される記録媒体225に記録する。

【0130】

なお、図17においては図示しないが、信号処理部217、メモリ制御部218、表示制御部220、JPEG符号化部223および記録制御部224は、それぞれ、CPU部211の制御を受けるためのI/O（Input / Output）レジスタを有している。したがって、CPU部211は、信号処理部217、メモリ制御部218、表示制御部220、JPEG符号化部223および記録制御部224に内蔵されるI/Oレジスタのデータを読み書きすることにより、信号処理部217、メモリ制御部218、表示制御部220、JPEG符号化部223および記録制御部224を制御する。

【0131】

図18は、図17のCPU部211の構成例を示している。なお、図18において、図5における場合と対応する部分には対応する符号を付してあり、その説明は繰り返しになるので適宜省略する。

【0132】

CPU61は、ROM212およびI/Oレジスタ231に記憶されている命令やデータを取得し、その命令やデータに従って各種の演算処理を実行する。また、CPU61は、RAM213およびI/Oレジスタ231に記憶されているデータを読み出したり、書き込んだりする。I/Oレジスタ231は、CPU61により制御される信号処理部217のI/Oレジスタ、メモリ制御部218のI/Oレジスタ、表示制御部220のI/Oレジスタ、JPEG符号化部223のI/Oレジスタおよび記録制御部224のI/Oレジスタなどにより構成される。

【0133】

なお、RAM213およびI/Oレジスタ231の読み書きのアクセス権の制御は、命令アドレス変換部64またはデータアドレス変換部66により実行される。したがって、命令アドレス変換部64またはデータアドレス変換部66は、CPU61から書き込み指示が入力された場合など、その仮想アドレスが書き込み不可（読み出しのみの）領域のものであれば、CPU61に例外信号などを通知する。

【0134】

図18のCPU部211においては、CPU61からの命令の転送を行う命令バス71とCPU61からのデータ（定数、変数やレジスタアドレス）の転送を行うデータバス72を別々に有している。また、CPU部211においては、図19を参照して後述するが、ROM212、RAM213、およびI/Oレジスタ231の物理アドレスにより構成される物理アドレス空間251の他に、それぞれ独立した仮想アドレス空間である、命令バス71用の命令仮想アドレス空間252とデータバス72用のデータ仮想アドレス空間253を有している。

【0135】

CPU61は、ROM212から命令を取得するとき、命令仮想アドレス空間252を通して、ROM212を見ることにより、命令に対応する仮想アドレスを指示する。CPU61は、指示した仮想アドレスを、命令バス71を介して、命令キャッシュ63および命令アドレス変換部64に出力する。また、CPU61は、ROM212、RAM213またはI/Oレジスタ231からデータを取得するとき、データ仮想アドレス空間253を通して、ROM212、RAM213およびI/Oレジスタ231を見ることにより、データに対応する仮想アドレスを指示する。CPU61は、指示した仮想アドレスを、データバス72を介して、データキャッシュ65およびデータアドレス変換部66に出力する。

【0136】

バスコントローラ67は、命令アドレス変換部64からの物理アドレスに対応する命令をROM212より取得し、命令キャッシュ63および命令バス71を介して、CPU61に出力する。また、バスコントローラ67は、データアドレス変換部66からの物理アドレスに対応するデータをROM212、RAM213またはI/Oレジスタ231より取得し、データキャッシュ65およびデータバス72を介して、CPU61に出力する。

【0137】

図19は、撮像装置201における物理アドレス空間251、命令仮想アドレス空間252およびデータ仮想アドレス空間253の構成例を示している。なお、図19においては、命令仮想アドレス空間252とデータ仮想アドレス空間253において、上からの配置が同一の行にある場合は、同一の仮想アドレスが使用されているものとする。

【0138】

撮像装置201においては、実際には、物理アドレス空間251のようにハード的に結線されているが、命令アドレス変換部64およびデータアドレス変換部66によるアドレス変換が実行されることにより、CPU61には、命令仮想アドレス空間252およびデータ仮想アドレス空間253のような仮想アドレスの配置構成に見せることができる。

【0139】

物理アドレス空間251は、ROM212の命令が記憶されているアドレス領域251-1、ROM212のデータが記憶されているアドレス領域251-2、RAM213のデータが記憶されているアドレス領域251-3、信号処理部217のI/Oレジスタのデータが記憶されているアドレス領域251-4、メモリ制御部218のI/Oレジスタのデータが記憶されているアドレス領域251-5、JPEG符号化部223のI/Oレジスタのデータが記憶されているアドレス領域251-6、表示制御部220のI/Oレジスタのデータが記憶されているアドレス領域251-7、および記録制御部224のI/Oレジスタのデータが記憶されているアドレス領域251-8により構成される。

【0140】

命令仮想アドレス空間 252 は、ROM 212 の命令が記憶されているアドレス領域 252-1 により構成される。

【0141】

データ仮想アドレス空間は、ROM 212 のデータが記憶されているアドレス領域 253-1、RAM 213 のデータが記憶されているアドレス領域 253-2、信号処理部 217 の I/O レジスタのデータが記憶されているアドレス領域 253-3、ROM 212 のデータが記憶されているアドレス領域 253-4、RAM 213 のデータが記憶されているアドレス領域 253-5、メモリ制御部 218 の I/O レジスタのデータが記憶されているアドレス領域 253-6、ROM 212 のデータが記憶されているアドレス領域 253-7、RAM 213 のデータが記憶されているアドレス領域 253-8、JPEG 符号化部 223 の I/O レジスタのデータが記憶されているアドレス領域 253-9、ROM 212 のデータが記憶されているアドレス領域 253-10、RAM 213 のデータが記憶されているアドレス領域 253-11、表示制御部 220 の I/O レジスタのデータが記憶されているアドレス領域 253-12、ROM 212 のデータが記憶されているアドレス領域 253-13、RAM 213 のデータが記憶されているアドレス領域 253-14、および記録制御部 224 の I/O レジスタのデータが記憶されているアドレス領域 253-15 により構成される。

【0142】

すなわち、物理アドレス空間 251 のアドレス領域 251-1 に記憶されている ROM 212 の命令は、命令仮想アドレス空間 252 において、アドレス領域 252-1 に記憶されている。物理アドレス空間 251 のアドレス領域 251-2 に記憶されている ROM 212 のデータは、データ仮想アドレス空間 253 において、アドレス領域 253-1、アドレス領域 253-4、アドレス領域 253-7、アドレス領域 253-10、およびアドレス領域 253-13 に分けて記憶されている。物理アドレス空間 251 のアドレス領域 251-3 に記憶されている RAM 213 のデータは、データ仮想アドレス空間 253 において、アドレス領域 253-2、アドレス領域 253-5、アドレス領域 253-8、アドレス領域 253-11、およびアドレス領域 253-14 に分けて記憶されている。

【0143】

また、物理アドレス空間 251 のアドレス領域 251-4 に記憶されている信号処理部 217 の I/O レジスタのデータは、データ仮想アドレス空間 253 において、アドレス領域 253-3 に記憶されている。物理アドレス空間 251 のアドレス領域 251-5 に記憶されているメモリ制御部 218 の I/O レジスタのデータは、データ仮想アドレス空間 253 において、アドレス領域 253-6 に記憶されている。物理アドレス空間 251 のアドレス領域 251-6 に記憶されている JPEG 符号化部 223 の I/O レジスタのデータは、データ仮想アドレス空間 253 において、アドレス領域 253-9 に記憶されている。物理アドレス空間 251 のアドレス領域 251-7 に記憶されている表示制御部 220 の I/O レジスタのデータは、データ仮想アドレス空間 253 において、アドレス領域 253-12 に記憶されている。物理アドレス空間 251 のアドレス領域 251-8 に記憶されている記録制御部 224 の I/O レジスタのデータは、データ仮想アドレス空間 253 において、アドレス領域 253-15 に配置されている。

【0144】

以上のように、図 18 の撮像装置 201 においては、命令仮想アドレス空間 252 を、命令の仮想アドレスだけが配置される（記憶される）ように構成し、データ仮想アドレス空間 253 を、定数、変数やレジスタアドレスなどのデータの仮想アドレスだけが配置される（記憶される）ように構成し、それらの命令仮想アドレス空間 252 とデータ仮想アドレス空間 253 を、お互いのアドレスを重複させて、独立で持つようにしたので、図 7 乃至図 9 を参照して上述したように、命令とそれに対応するデータの仮想アドレスが遠く離れることがないため、定数などのデータを配置する必要がなく、ジャンプ命令などの命令も不要であり、無駄な命令数が増えることが抑制される。

【0145】

また、データ仮想アドレス空間 252 において、I/Oレジスタ群（信号処理部 217 の I/Oレジスタ、メモリ制御部 218 の I/Oレジスタ、表示制御部 220 の I/Oレジスタ、JPEG符号化部 223 の I/Oレジスタおよび記録制御部 224 の I/Oレジスタ）を、複数のアドレス領域に分けて配置するようにしたので、命令とそれに対応するデータの仮想アドレスが遠く離れることが抑制され、命令が指定するデータの仮想アドレスを、その命令の仮想アドレスから、命令のオペランドで指定可能な距離の仮想アドレスとすることができる頻度を極めて多くすることができる。

【0146】

さらに、物理アドレス空間 251 のアドレス領域 251-2 に記憶される ROM 212 のデータを、データ仮想アドレス空間 253 のアドレス領域 253-1、アドレス領域 253-4、アドレス領域 253-7、アドレス領域 253-10、およびアドレス領域 253-13 の仮想アドレスに分けて記憶し、物理アドレス空間 251 のアドレス領域 251-3 に記憶される RAM 213 のデータを、アドレス領域 253-2、アドレス領域 253-5、アドレス領域 253-8、アドレス領域 253-11、およびアドレス領域 253-14 の仮想アドレスに分けて記憶するようにしたので、命令とそれに対応するデータの仮想アドレスが遠く離れることが抑制され、命令が指定するデータの仮想アドレスを、その命令の仮想アドレスから、命令のオペランドで指定可能な距離の仮想アドレスとすることができる頻度を極めて多くすることができる。

【0147】

なお、上記説明においては、図 19 の物理アドレス空間 251、命令仮想アドレス空間 252 およびデータ仮想アドレス空間 253 が、図 7 を参照して上述した仮想アドレス空間の構成例に基づいて構成される場合を説明したが、図 11 の仮想アドレス空間の構成例に基づいて構成するようにしてもよい。この場合には、上述した効果の他にさらに、複数の仮想アドレスを、物理アドレス空間の同じページ（アドレス変換）単位に変換することができるので、ROM 212、RAM 213、および I/Oレジスタなどのメモリ内の無駄な領域が削減される。

【0148】

また、図 19 の例においては、ROM 212 と RAM 213 のデータを、仮想アドレス空間 253 の複数のアドレス領域の仮想アドレスに分けて記憶するようにしたが、信号処理部 217、メモリ制御部 218、表示制御部 220、JPEG符号化部 223 および記録制御部 224 の各 I/Oレジスタのデータ（同一レジスタ内のデータ）も、同様にして、仮想アドレス空間 253 の複数のアドレス領域の仮想アドレスに分けて記憶するようにしてもよい。

【0149】

次に、図 20 と図 21 のフローチャートを参照して、このようにして配置されたデータ仮想アドレス空間 253 から物理アドレス空間 251 へのアドレス変換処理を説明する。なお、図 21 においては、図 16 の処理と基本的に同様の処理を行うため、その詳細な説明は、繰り返しになるので適宜省略する。

【0150】

図 20 は、データアドレス変換部 66 内で実行されるアドレス変換の例を示している。CPU 61 は、ROM 212、RAM 213 または I/Oレジスタ 231 からデータを取得したり、もしくは、ROM 212、RAM 213 または I/Oレジスタ 231 にデータを書き込むために、データ仮想アドレス空間 253 を参照して、データに対応する仮想アドレス 261（ $n+m$ ビット）を、データバス 72 を介して、データキャッシュ 65 およびデータアドレス変換部 66 に出力する。

【0151】

図 20 の例の場合、仮想アドレス 261 は、アドレス変換の最小単位であるページにおいて、そのページの先頭アドレスを表す、 n ビットの上位アドレス、および、ページ内オフセットアドレスを表す、 m ビットの下位アドレスにより構成される。

【0152】

データキャッシュ65は、図21のステップS31において、CPU61から仮想アドレスが入力されるまで待機しており、CPU61から仮想アドレスが入力されたと判断した場合、ステップS32に進み、CPU61から入力された仮想アドレスに対応するデータが、データキャッシュ65内にあるか否かを判断する。

【0153】

ステップS32において、CPU61から入力された仮想アドレスに対応するデータが、データキャッシュ65内ないと判断された場合、データアドレス変換部66は、ステップS33に進み、図20に示されるように、仮想アドレス261の上位アドレスnビットを、データアドレス変換テーブル271を参照して、変換し、ステップS34に進む。

【0154】

図20の例においては、 $n+m$ ビットの仮想アドレス261のうちの上位アドレスnビットは、アドレス変換の最小単位であるページにおいて、そのページの先頭アドレスを示している。データアドレス変換部66は、ページ先頭アドレスである上位アドレスを、物理アドレスの複数のページ先頭アドレスのうちの所定のページ先頭アドレスに変換するための変換テーブル271を有している。したがって、データアドレス変換部66は、データアドレス変換テーブル271を参照して、上位アドレスnビットに対応するページ先頭アドレスを取得し、上位アドレスnビットを、その対応するページ先頭アドレスに変換する。なお、このとき、残りの下位アドレスmビットは変換されないで、変換されたページ先頭アドレス（図中ハッチング部分）と、元のままの下位アドレスにより構成される変換後アドレス262になる。

【0155】

図21のステップS34において、データアドレス変換部66は、変換後アドレス262において、変換されたnビットのページ先頭アドレスと、残りのmビットの下位アドレスのうちの一部（例えば、3ビット）を入れ替える。これにより、図20に示されるように、物理アドレス263が取得される。物理アドレス263は、左（上位）から順に、ページ先頭アドレスの（ $n-3$ ビット）、下位アドレスの3ビット、ページ先頭アドレスの3ビット、および下位アドレスの（ $m-3$ ビット）により構成される。データアドレス変換部66は、このようにして取得した物理アドレス263をバスコントローラ67に出力し、図21のステップS35に進む。

【0156】

ステップS35において、バスコントローラ67は、データアドレス変換部66からの物理アドレス263に対応するデータを、ROM212、RAM213またはI/Oレジスタ231から取得し、データキャッシュ65に出力し、ステップS36に進む。ステップS36において、データキャッシュ65は、バスコントローラ67からのデータを、データバス72を介してCPU61に出力する。

【0157】

一方、ステップS32において、データキャッシュ65は、CPU61から入力された仮想アドレスに対応するデータが、データキャッシュ65内にあると判断した場合、ステップS33乃至S35の処理をスキップし、ステップS36に進み、CPU61から入力された仮想アドレスに対応するデータを、データバス72を介してCPU61に出力する。

【0158】

以上のようにして、CPU61が指示したデータ仮想アドレス空間253の仮想アドレス261のページ先頭アドレスである上位アドレスのみを変換し、その後、変換した上位アドレスと、残りの下位アドレスを入れ替えて、物理アドレス空間251の物理アドレス263に変換するようにしたので、データ仮想アドレスの下位アドレスを変換することなしに、物理アドレスに変換できる。これにより、変換するビット数を少なくすることができ、変換速度を向上させることができる。

【0159】

なお、上記説明においては、図20の変換後アドレス262において、変換した上位アドレスと、残りの下位アドレスのうちの一部を入れ替えるようにしたが、図22に示されるようにして、物理アドレス281を取得するようにしてもよい。図22の例の場合、変換後アドレス262において、データアドレス変換テーブル271を参照して変換されたページ先頭アドレス（上位アドレス）は入れ替えずに、残りの下位アドレス（ m ビット）のうちの一部同士（例えば、下位アドレスの最上位2ビットとその次の2ビット）を入れ替えることにより、物理アドレス281が取得される。この場合、物理アドレス281は、左（上位）から順に、ページ先頭アドレスの n ビット、下位アドレスのうち交換された4ビット（各2ビット）、および下位アドレスの $(m-4)$ ビットにより構成される。

【0160】

次に、図23のフローチャートを参照して、撮像装置201の画像データ記録処理について説明する。

【0161】

レンズ214は、被写体からの光を入力し、CCD215に結像する。CCD215は、被写体の画像に対応する画像データを、A/D変換部216に出力する。これに対応して、信号処理部217は、ステップS51において、CCD215からの画像データを、A/D変換部216を介して入力し、ステップS52に進み、CCD215からの画像データに、所定の信号処理を行い、信号処理した画像データを、メモリ制御部218に出力する。メモリ制御部218は、信号処理部217からの画像データを、メモリ219に記憶させ、ステップS53に進む。

【0162】

JPEG符号化部223は、ステップS53において、メモリ219内の画像データのアドレスを設定し、さらに、符号化された画像データを記録するための符号化画像データのメモリ219内のアドレスを設定し、ステップS54に進み、符号化制御値を設定し、ステップS55に進む。

【0163】

JPEG符号化部223は、ステップS55において、ステップS53およびS54で設定された各画像データのメモリ219内のアドレスおよび符号化制御値に基づいて、画像データを符号化処理する。そして、JPEG符号化部223は、メモリ制御部218を制御し、符号化処理した符号化画像データを、メモリ219に記録させ、ステップS56に進む。

【0164】

記録制御部224は、ステップS56において、メモリ制御部218を制御し、メモリ219より、符号化画像データを読み出させ、ステップS57に進み、メモリ219からの符号化画像データを記録媒体225に記録する。

【0165】

以上のようにして、撮像装置201においては、撮像された画像データが記録媒体に記録される。なお、図23のすべてのステップの処理は、CPU61により、ROM212、RAM213、並びに、信号処理部217、メモリ制御部218、表示制御部220、JPEG符号化部223および記録制御部224に内蔵されるI/Oレジスタが制御されることにより実行されている。

【0166】

すなわち、CPU61により指定された仮想アドレスは、図20および図21のフローチャートを参照して上述したアドレス変換が実行されて物理アドレスに変換され、ROM212、RAM213、並びに、信号処理部217、メモリ制御部218、表示制御部220、JPEG符号化部223および記録制御部224に内蔵されるI/Oレジスタに出力される。これにより、CPU61が指示した仮想アドレスに対応する、ROM212、RAM213、信号処理部217、メモリ制御部218、表示制御部220、JPEG符号化部223または記録制御部224により、それぞれのステップの処理が実行される。

【0167】

そこで、図24と図25のフローチャートを参照して、上述した図23のステップS55において上述した符号化処理に対応するCPU61の符号化開始命令処理について説明する。なお、図24においては、JPEG符号化部223のI/Oレジスタは、CPU61がJPEG符号化部223の起動を指示するためのJPEG起動レジスタ、および、CPU61がJPEG符号化部223の状態を確認するためのJPEG状態レジスタにより構成される。

【0168】

図24の例の場合、命令仮想アドレス空間は、「JPEG起動レジスタへ書き込む定数「0x00000100」を読み出す」動作を実行する命令「LOAD R0, jpegstart」を記憶する仮想アドレス、「JPEG起動レジスタjpegcodecregへ定数「0x00000100」を書き込む」動作を実行する命令「STORE R0, jpegcodecreg」を記憶する仮想アドレス、および、「JPEG状態レジスタjpegstatusregを読み出す（終了確認）」動作を実行する命令「LOAD R0, jpegstatusreg」を記憶する仮想アドレスにより構成される。

【0169】

データ仮想アドレス空間は、ラベルが「jpegstart」であり、内容が「JPEG起動レジスタへ書き込むデータ」であり、「0x00000100」を記憶する仮想アドレス、ラベルが「jpegcodecreg」であり、内容が「JPEG起動レジスタ」であり、「JPEG符号化部223が出力する値」を記憶する仮想アドレス、および、ラベルが「jpegstatusreg」であり、内容が「JPEG状態レジスタ」であり、データ「JPEG符号化部223が出力する値」を記憶する仮想アドレスにより構成される。

【0170】

なお、厳密には、CPU61が仮想アドレスを指定すると、指定され仮想アドレスに対応する命令またはデータが、命令キャッシュ63またはデータキャッシュ65にある場合は、対応する命令またはデータがCPU61に出力され、指定され仮想アドレスに対応する命令またはデータが、命令キャッシュ63またはデータキャッシュ65にない場合は、命令アドレス変換部64またはデータアドレス変換部66により仮想アドレスに対応する物理アドレスに変換され、バスコントローラ67により物理アドレスに対応する命令やデータが、ROM212、RAM213およびI/Oレジスタ231から読み出されて、CPU61に出力されるが、説明の便宜上、CPU61が仮想アドレスを指定すると、その仮想アドレスに対応する命令やデータが読み出され、命令が実行される、などと記述する。

【0171】

したがって、図25のステップS71において、CPU61は、命令仮想アドレス空間の命令「LOAD R0, jpegstart」を読み出し、ステップS72に進み、CPU61は、命令「LOAD R0, jpegstart」に従って、データ仮想アドレス空間のラベル「jpegstart」の仮想アドレスの定数データ「0x00000100」を読み出し、ステップS73に進む。

【0172】

ステップS73において、CPU61は、命令仮想アドレス空間の命令「STORE R0, jpegcodecreg」を読み出し、ステップS74に進み、CPU61は、命令「STORE R0, jpegcodecreg」に従って、JPEG符号化部223のJPEG起動レジスタである、データ仮想アドレス空間のラベル「jpegcodecreg」の仮想アドレスに、定数データ「0x00000100」を書き込み、ステップS75に進む。これにより、JPEG符号化部223により、図23のステップS55の符号化処理が開始される。ここで、JPEG符号化部223は、JPEG状態レジスタである、ラベル「jpegstatusreg」の仮想アドレスに、符号化処理を開始することを示す値を出力する。

【0173】

そこで、ステップS75において、CPU61は、命令仮想アドレス空間の命令「LOAD R0, jpegstatusreg」を読み出し、ステップS76に進み、CPU61は、命令「LOAD R0, jpegstatusreg」に従って、JPEG符号化部223のJPEG状態レジスタである、データ仮想アドレス空間のラベル「jpegstatusreg」に記憶されている、JPEG符号化

部 223 により出力された値を終了確認として読み出し、処理を終了する。

【0174】

これに対して、図 26 と図 27 のフローチャートを参照して、上述した図 23 のステップ S55 において実行される符号化処理に対応する、従来の符号化開始命令の例について説明する。

【0175】

図 26 の例の場合、仮想アドレス空間は、「J P E G 起動レジスタのアドレスデータ jpegcodecreg を読み出す」動作を実行する命令「LOAD R0, jpegcodecreg」を記憶する仮想アドレス、「J P E G 起動レジスタへ書き込む定数「0x00000100」を読み出す」動作を実行する命令「LOAD R1, jpegstart」を記憶する仮想アドレス、「J P E G 起動レジスタ jpegcodecreg へ定数「0x00000100」を書き込む」動作を実行する命令「STORE R1, [R0]」、「next のアドレス[LOAD R0, jpegstatus]へ無条件分岐」動作を実行する命令「JMP next」を記憶する仮想アドレス、ラベルが「jpegcodecreg」であり、J P E G 起動レジスタアドレスデータ「jpegcodecreg」を記憶する仮想アドレス、ラベルが「jpegstart」であり、J P E G 起動レジスタへ書き込むデータ「0x00000100」を記憶する仮想アドレス、ラベルが「jpegstatus」であり、J P E G 状態レジスタアドレスデータ「jpegstatusreg」を記憶する仮想アドレス、ラベルが「next」であり、「J P E G 状態レジスタのアドレスデータ jpegstatusreg を読み出す」動作を実行する命令「LOAD R0, jpegstatus」を記憶する仮想アドレス、「J P E G 状態レジスタ jpegstatusreg を読み出す(終了確認)」動作を実行する命令「LOAD R1, [R0]」を記憶する仮想アドレス、・・・、ラベルが「jpegcodecreg」であり、「J P E G 起動レジスタ」であり、データ「J P E G 符号化部 223 が出力する値」を記憶する仮想アドレス、および、ラベルが「jpegstatusreg」であり、「J P E G 状態レジスタ」であり、データ「J P E G 符号化部 223 が出力する値」を記憶する仮想アドレスにより構成される。

【0176】

従来の仮想アドレス空間においては、命令とデータの仮想アドレスが混在していることにより、J P E G 符号化部 223 の J P E G 起動レジスタおよび J P E G 状態レジスタの仮想アドレスの位置が遠いため、各命令から J P E G 起動レジスタおよび J P E G 状態レジスタの仮想アドレスを直接指定することができない。これにより、従来の仮想アドレス空間の命令数は、図 24 の命令仮想アドレス空間の命令数と比較して、3 つも多く、従来の仮想アドレス空間のデータ数は、図 24 のデータ仮想アドレス空間のデータ数と比較して、2 つも多くなってしまう。

【0177】

したがって、図 26 の従来の符号化開始命令処理について説明すると、図 27 のステップ S81 において、CPU 61 は、仮想アドレス空間の命令「LOAD R0, jpegcodecreg」を読み出し、ステップ S82 に進み、CPU 61 は、命令「LOAD R0, jpegcodecreg」に従って、仮想アドレス空間のラベル「jpegcodecreg」にある J P E G 起動レジスタアドレスデータである「jpegcodecreg」を読み出し、ステップ S83 に進む。

【0178】

ステップ S83 において、CPU 61 は、仮想アドレス空間の命令「LOAD R1, jpegstart」を読み出し、ステップ S84 に進み、CPU 61 は、命令「LOAD R1, jpegstart」に従って、J P E G 起動レジスタに書き込むデータである「0x00000100」を読み出し、ステップ S85 に進む。

【0179】

ステップ S85 において、CPU 61 は、仮想アドレス空間の命令「STORE R1, [R0]」を読み出し、ステップ S86 に進み、CPU 61 は、命令「STORE R1, [R0]」に従って、仮想アドレス空間のラベル「jpegcodecreg」にある J P E G 起動レジスタに、定数データ「0x00000100」を書き込み、ステップ S87 に進む。これにより、J P E G 符号化部 223 により、図 23 のステップ S55 の符号化処理が開始される。ここで、J P E G 符号化部 223 は、J P E G 状態レジスタである、ラベル「jpegstatusreg」の仮想アドレスに

、符号化処理を開始することを示す値を出力する。

【0180】

ステップS87において、CPU61は、仮想アドレス空間の命令「JUMP next」を読み出し、ステップS88に進み、CPU61は、命令「JUMP next」に従って、ラベル「next」へ無条件分岐し、命令「LOAD R0, jpegstatus」を読み出し、ステップS89に進み、CPU61は、命令「LOAD R0, jpegstatus」に従って、JPEG状態レジスタアドレスデータである「jpegstatusreg」を読み出し、ステップS90に進む。

【0181】

ステップS90において、CPU61は、仮想アドレス空間の命令「LOAD R1, [R0]」を読み出し、ステップS91に進み、CPU61は、命令「LOAD R1, [R0]」に従って、JPEG状態レジスタ「jpegstatusreg」に書き込まれているJPEG符号化部223により出力された値を終了確認として読み出し、処理を終了する。

【0182】

以上のように、図24に示されるように仮想アドレス空間を、データと命令の仮想アドレス空間に分離させたことにより、データと命令の仮想アドレスの距離が近づくため、ヒット効率が向上する。さらに、図25の命令仮想アドレス空間およびデータ仮想アドレス空間と比較すると、図24の仮想アドレス空間では、命令、データの仮想アドレスがともに3つしかないのに対して、図25の仮想アドレス空間では、命令が6つ、データが4つある。すなわち、図24の仮想アドレス空間構成にすることにより、従来よりも、命令3つ、データ2つを削減することができる。

【0183】

また、図25のフローチャートにおいては、処理数が6ステップであるのに対して、図27の従来のフローチャートの処理数は11ステップあり、図24の仮想アドレス空間構成にすることにより、処理数も削減され、処理の速度を向上させることができる。

【0184】

なお、上記説明においては、図25の命令仮想アドレス空間およびデータ仮想アドレス空間を、図7を参照して上述した仮想アドレス空間の構成例に基づいて構成する場合について説明したが、図11の仮想アドレス空間の構成例に基づいて構成するようにしてもよい。

【0185】

また、上記説明においては、データと命令の2つに分離して、それぞれ仮想空間を持つようにしたが、2つに限定されず、複数個の仮想アドレス空間を持つようにしてもよい。また、命令アドレス変換部64とデータアドレス変換部66として、仮想アドレス空間毎にアドレス変換部を備えるようにしたが、1つのアドレス変換部に、複数の変換テーブルをもたせ、各バスからの仮想アドレスに識別子などを付けることにより、複数の仮想アドレスを変換させるようにしてもよいし、1つのアドレス変換部に、どちらか一方のみを変換するようにしてもよい。

【0186】

なお、本発明は、撮像装置201に限らず、パーソナルコンピュータ、PDA、DVDプレーヤ、セットトップボックス、ルータ、ロボット、ホームサーバ、携帯端末、ゲーム機、およびネットワーク端末などに適用することもできる。

【0187】

上述した一連の処理は、ハードウェアにより実行させることもできるが、ソフトウェアにより実行させることもできる。この場合、例えば、図5の情報処理装置51は、図28に示されるような情報処理装置301により構成される。なお、図示は省略するが、図18の撮像装置201も、情報処理装置301と同様に構成される。

【0188】

図28において、CPU (Central Processing Unit) 311は、ROM (Read Only Memory) 312に記憶されているプログラム、または、記憶部318からRAM (Random Access Memory) 313にロードされたプログラムに従って各種の処理を実行する。RAM

313にはまた、CPU311が各種の処理を実行する上において必要なデータなどが適宜記憶される。

【0189】

CPU311、ROM312、およびRAM313は、バス314を介して相互に接続されている。このバス314にはまた、入出力インタフェース315も接続されている。

【0190】

入出力インタフェース315には、キーボード、マウスなどよりなる入力部316、CRT(Cathode Ray Tube)、LCD(Liquid Crystal Display)などよりなるディスプレイ、並びにスピーカなどよりなる出力部317、ハードディスクなどより構成される記憶部318、モデム、ターミナルアダプタなどより構成される通信部319が接続されている。通信部319は、図示しないネットワークを介しての通信処理を行う。

【0191】

入出力インタフェース315にはまた、必要に応じてドライブ320が接続され、磁気ディスク321、光ディスク322、光磁気ディスク323、或いは半導体メモリ324などが適宜装着され、それから読み出されたコンピュータプログラムが、必要に応じて記憶部318にインストールされる。

【0192】

一連の処理をソフトウェアにより実行させる場合には、そのソフトウェアを構成するプログラムが、専用のハードウェアに組み込まれているコンピュータ、または、各種のプログラムをインストールすることで、各種の機能を実行することが可能な、例えば、汎用のパーソナルコンピュータなどに、ネットワークや記録媒体からインストールされる。

【0193】

この記録媒体は、図28に示されるように、装置本体とは別に、ユーザにプログラムを提供するために配布される、プログラムが記録されている磁気ディスク321(フレキシブルディスクを含む)、光ディスク322(CD-ROM(Compact Disk-Read Only Memory)、DVD(Digital Versatile Disk)を含む)、光磁気ディスク323(MD(Mini-Disk)(商標)を含む)、もしくは半導体メモリ324などよりなるパッケージメディアにより構成されるだけでなく、装置本体に予め組み込まれた状態でユーザに提供される、プログラムが記録されているROM312や、記憶部319に含まれるハードディスクなどで構成される。

【0194】

なお、本明細書において、記録媒体に記録されるプログラムを記述するステップは、記載された順序に従って時系列的に行われる処理はもちろん、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。

【図面の簡単な説明】

【0195】

【図1】従来の仮想アドレス空間の構成例を示す図である。

【図2】図1の従来の仮想アドレス空間の詳細な構成例を示す図である。

【図3】図1の従来の仮想アドレス空間の詳細な構成の他の例を示す図である。

【図4】従来のキャッシュの中のデータの構成例を示す図である。

【図5】本発明を適用した情報処理装置の構成例を示すブロック図である。

【図6】図5の情報処理装置の命令仮想アドレス空間とデータ仮想アドレス空間の構成例を示す図である。

【図7】図6の命令仮想アドレス空間とデータ仮想アドレス空間の詳細な構成例を示す図である。

【図8】図7の命令仮想アドレス空間とデータ仮想アドレス空間のさらに詳細な構成例を示す図である。

【図9】図7の例の場合の図5の命令キャッシュとデータキャッシュの中のデータの構成例を示す図である。

【図10】図7の命令仮想アドレス空間とデータ仮想アドレス空間の構成の他の例を

示す図である。

【図 1 1】図 7 の命令仮想アドレス空間とデータ仮想アドレス空間の構成のさらに他の例を示す図である。

【図 1 2】図 1 1 の例の場合の図 5 の命令キャッシュとデータキャッシュの中のデータの構成例を示す図である。

【図 1 3】図 5 の情報処理装置のデータ仮想アドレス空間の他の構成例を示す図である。

【図 1 4】従来のアドレス変換の例を説明する図である。

【図 1 5】図 5 の情報処理装置のアドレス変換の例を説明する図である。

【図 1 6】図 5 の情報処理装置のアドレス変換処理を説明するフローチャートである。

【図 1 7】本発明を適用した撮像装置の構成例を示すブロック図である。

【図 1 8】図 1 7 の CPU 部の構成例を示すブロック図である。

【図 1 9】図 1 7 の撮像装置の命令仮想アドレス空間とデータ仮想アドレス空間の構成例を示す図である。

【図 2 0】図 1 7 の撮像装置のアドレス変換の例を説明する図である。

【図 2 1】図 1 7 の撮像装置のアドレス変換処理を説明するフローチャートである。

【図 2 2】図 1 7 の撮像装置のアドレス変換の他の例を説明する図である。

【図 2 3】図 1 7 の撮像装置の画像データ記録処理を説明するフローチャートである。

【図 2 4】図 2 3 のステップ S 5 5 を制御する命令仮想アドレス空間とデータ仮想アドレス空間の構成例を説明する図である。

【図 2 5】図 2 3 のステップ S 5 5 を制御する CPU 部の符号化開始命令処理を説明するフローチャートである。

【図 2 6】図 2 4 と比較するための従来の仮想アドレス空間の構成例を説明する図である。

【図 2 7】図 2 5 と比較するための従来の符号化開始命令処理を説明するフローチャートである。

【図 2 8】本発明を適用した情報処理装置の他の構成例を示すブロック図である。

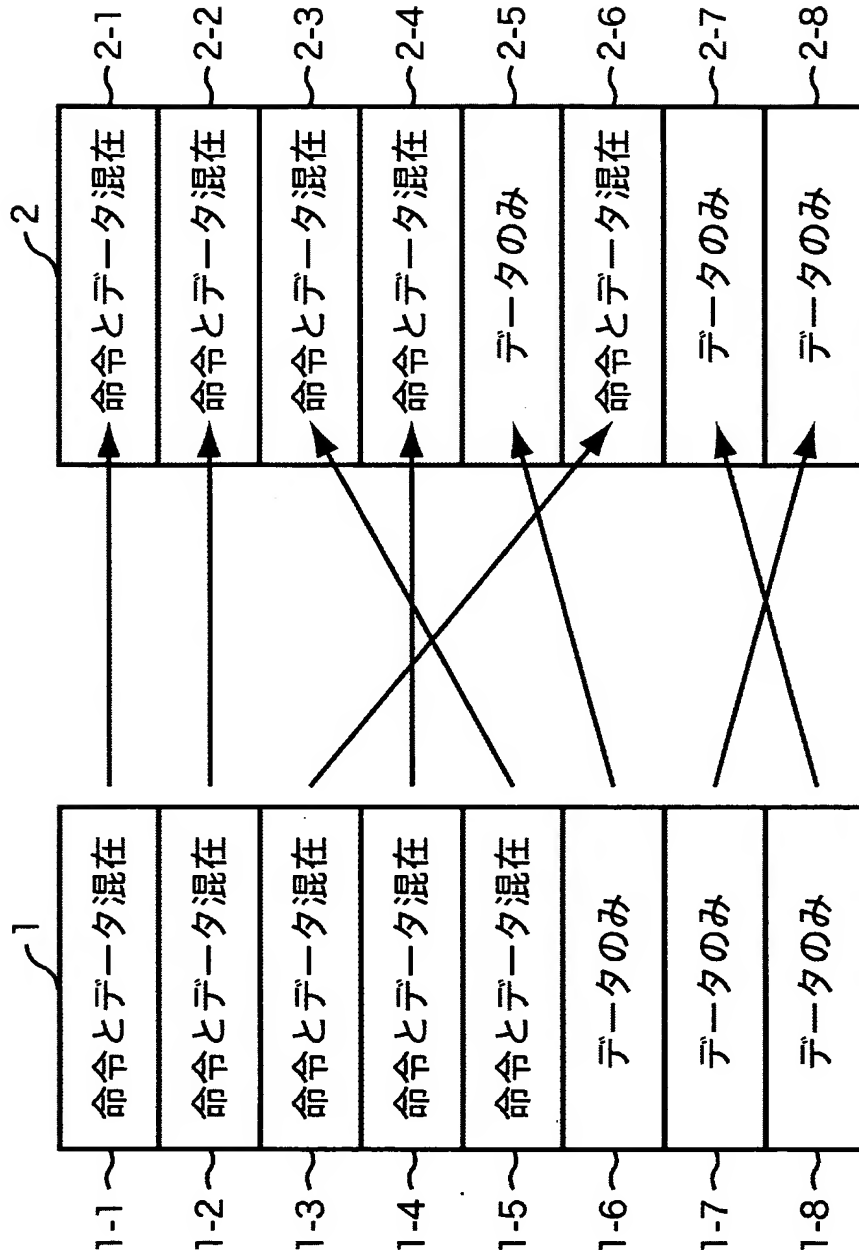
【符号の説明】

【0196】

51 情報処理装置, 61 CPU, 62 メモリ, 63 命令キャッシュ, 64 命令アドレス変換部, 65 データキャッシュ, 66 データアドレス変換部, 67 バスコントローラ, 71 命令バス, 72 データバス, 101 命令仮想アドレス空間, 102 データ仮想アドレス空間, 103 物理アドレス空間, 121 命令仮想アドレス空間, 122 データ仮想アドレス空間, 151 データ仮想アドレス空間, 152 物理アドレス空間, 201 撮像装置, 211 CPU部, 212 ROM, 213 RAM, 231 I/Oレジスタ, 251 物理アドレス空間, 252 命令仮想アドレス空間, 253 データ仮想アドレス空間

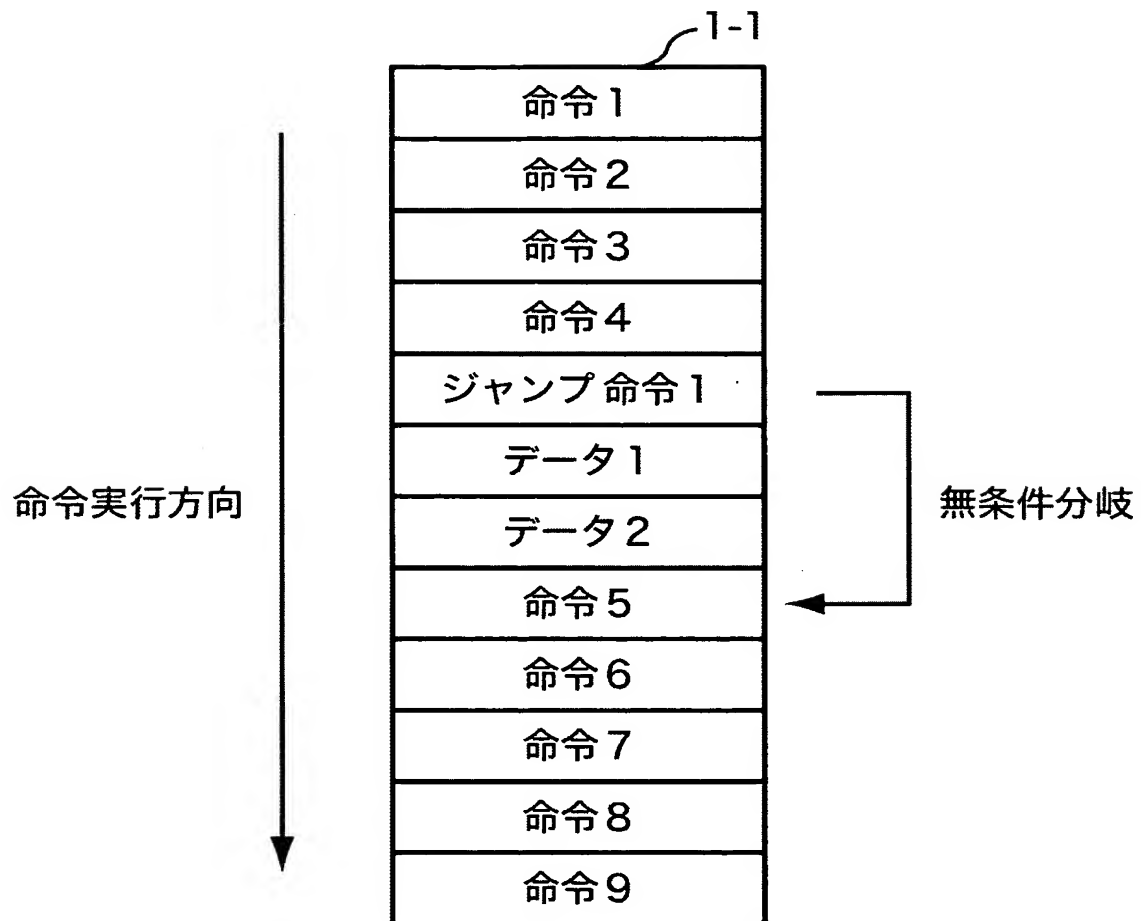
【書類名】 図面
【図 1】

図 1



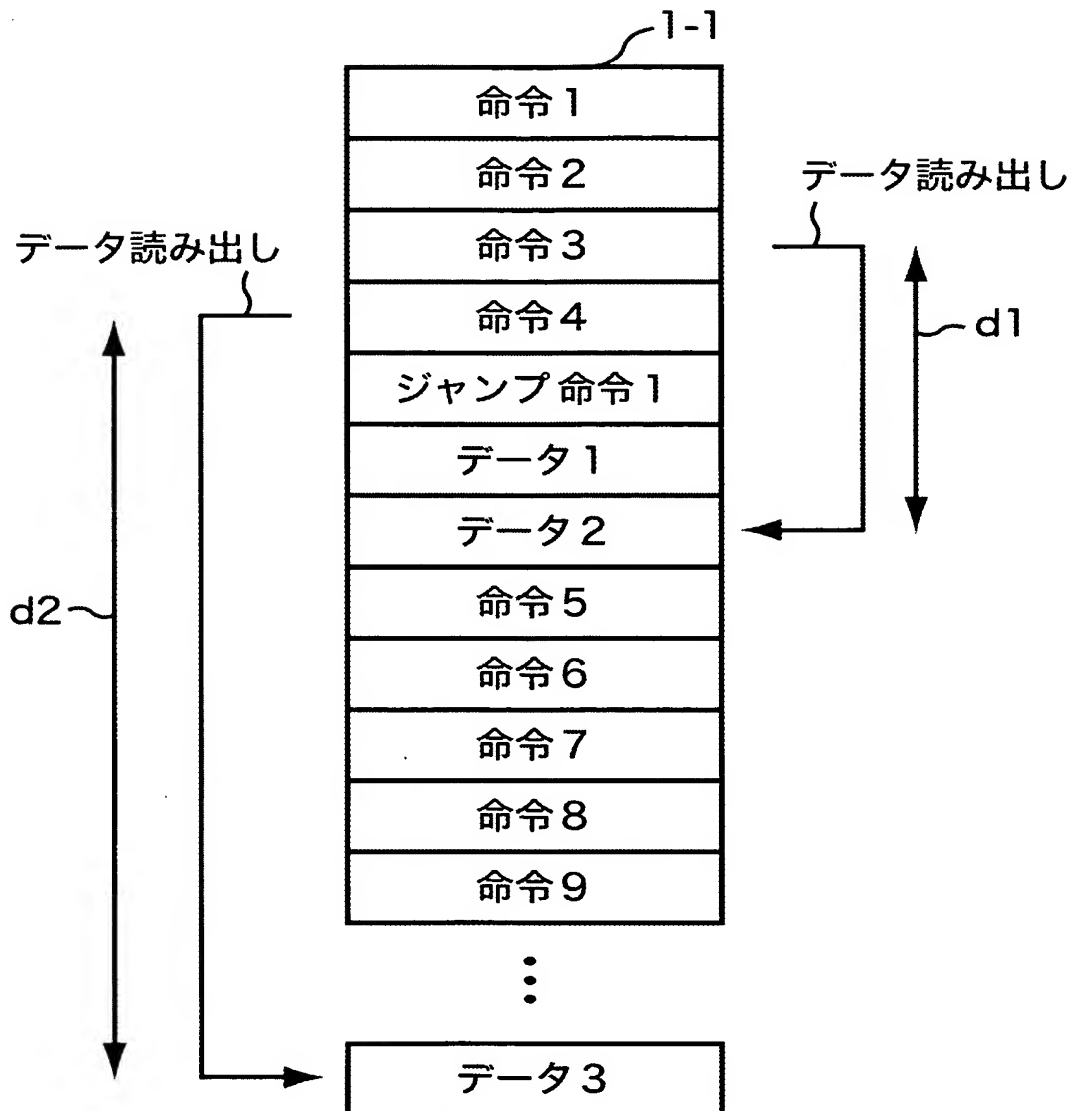
【図 2】

図 2



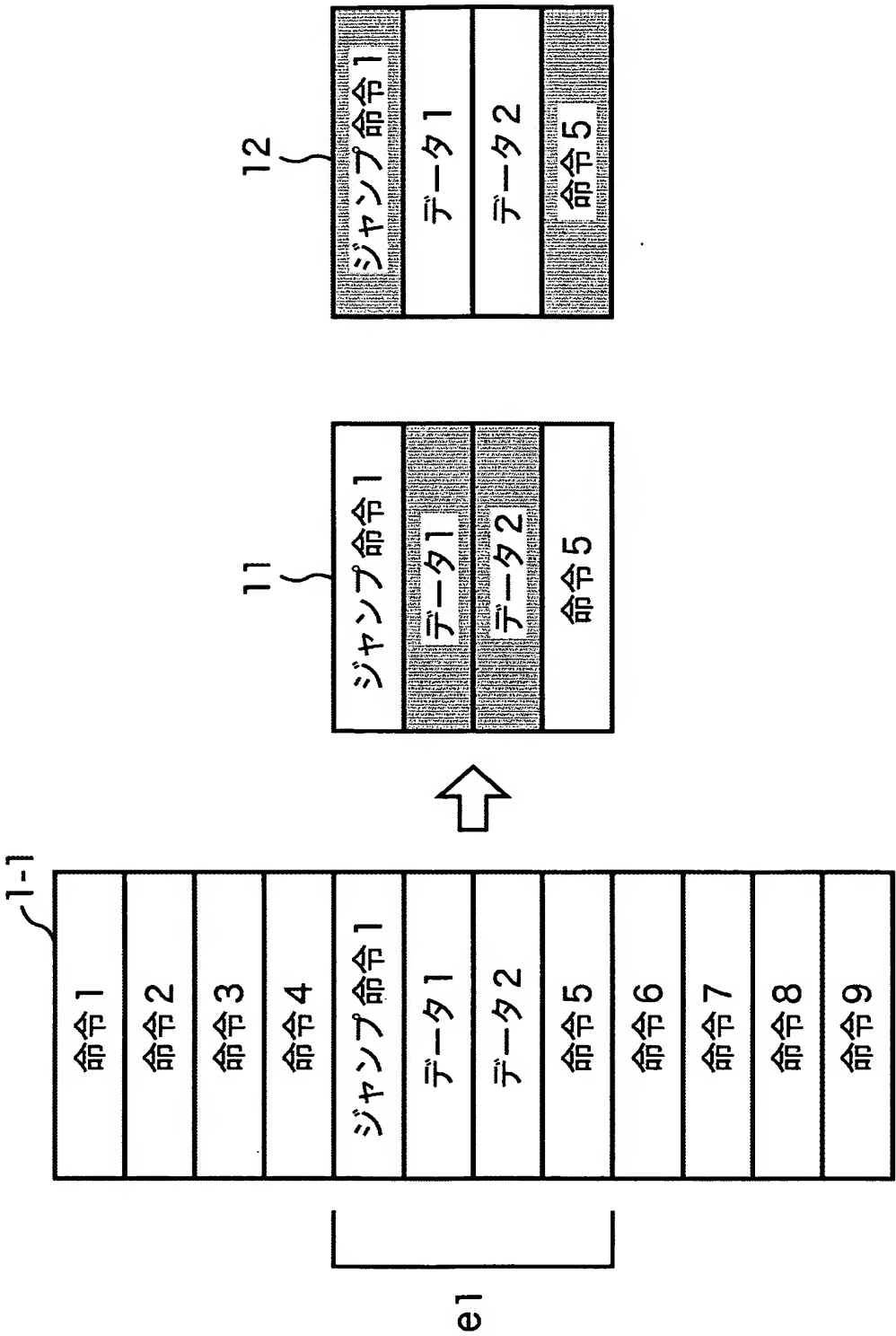
【図 3】

図 3



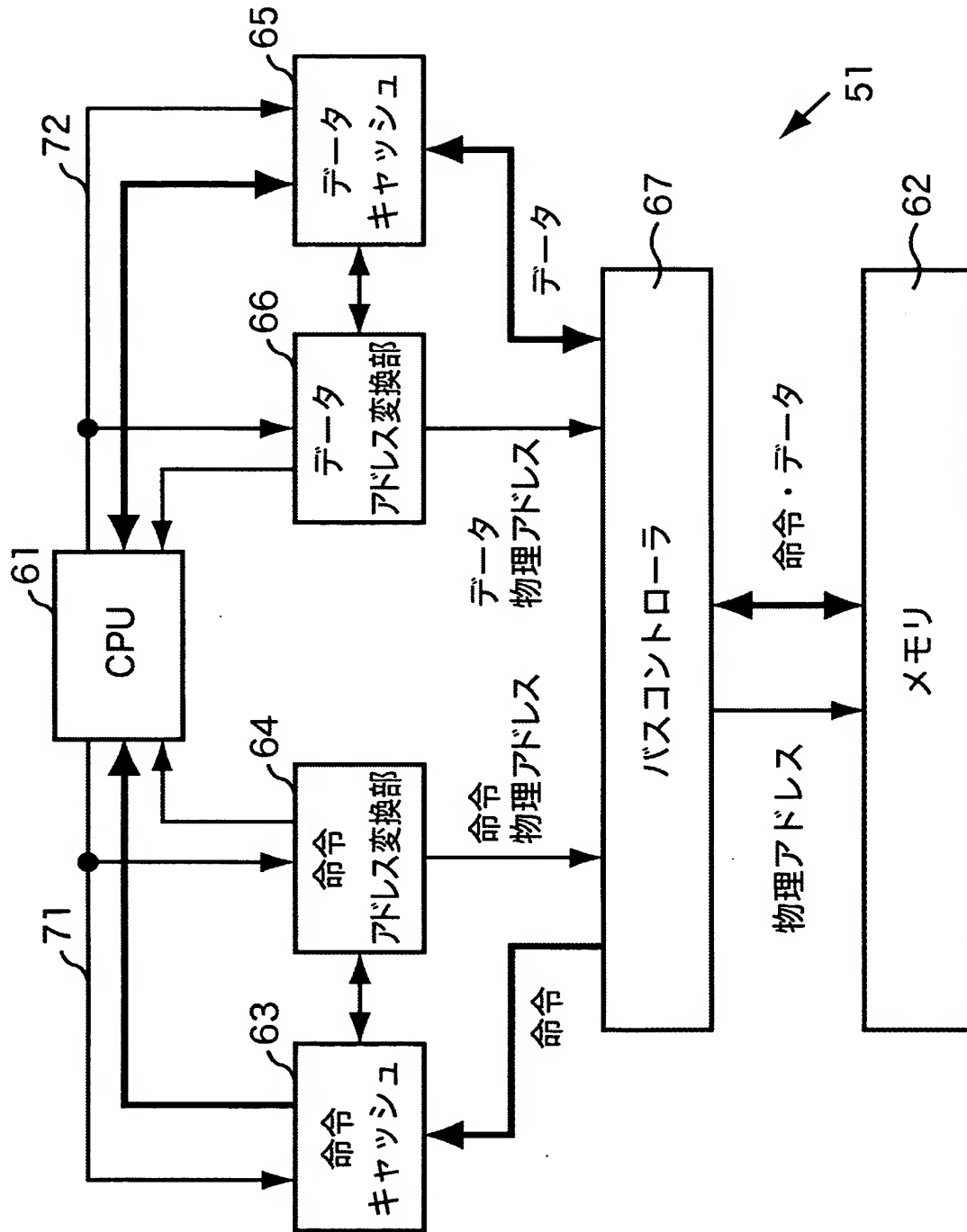
【図 4】

図 4



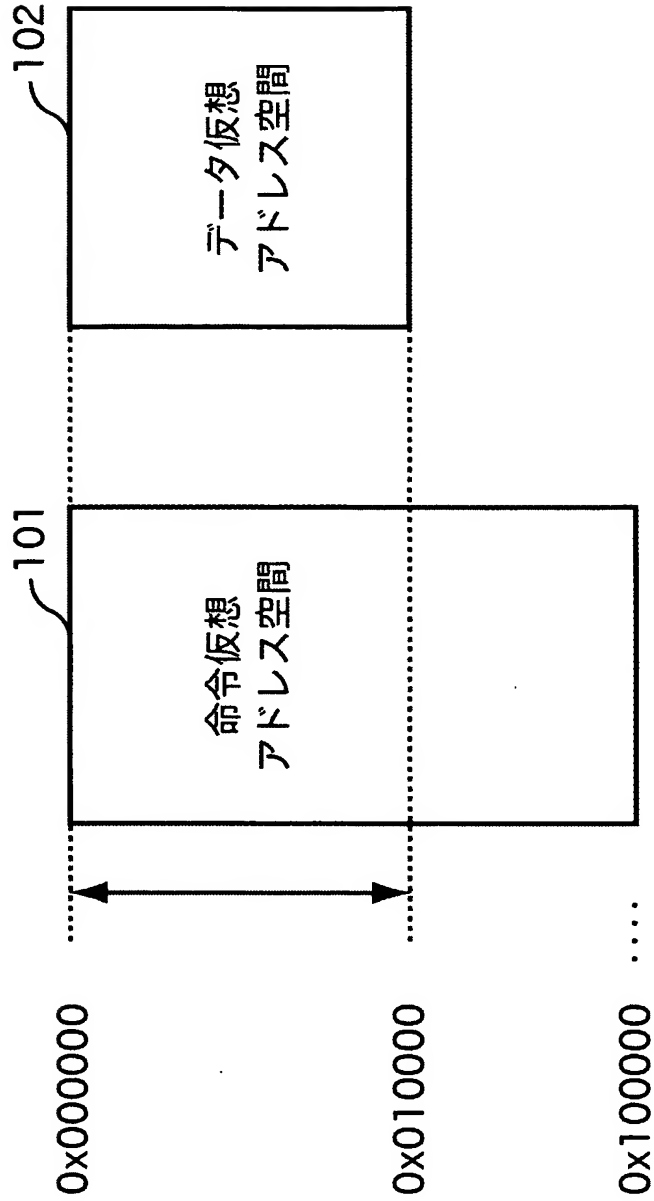
【図 5】

図 5



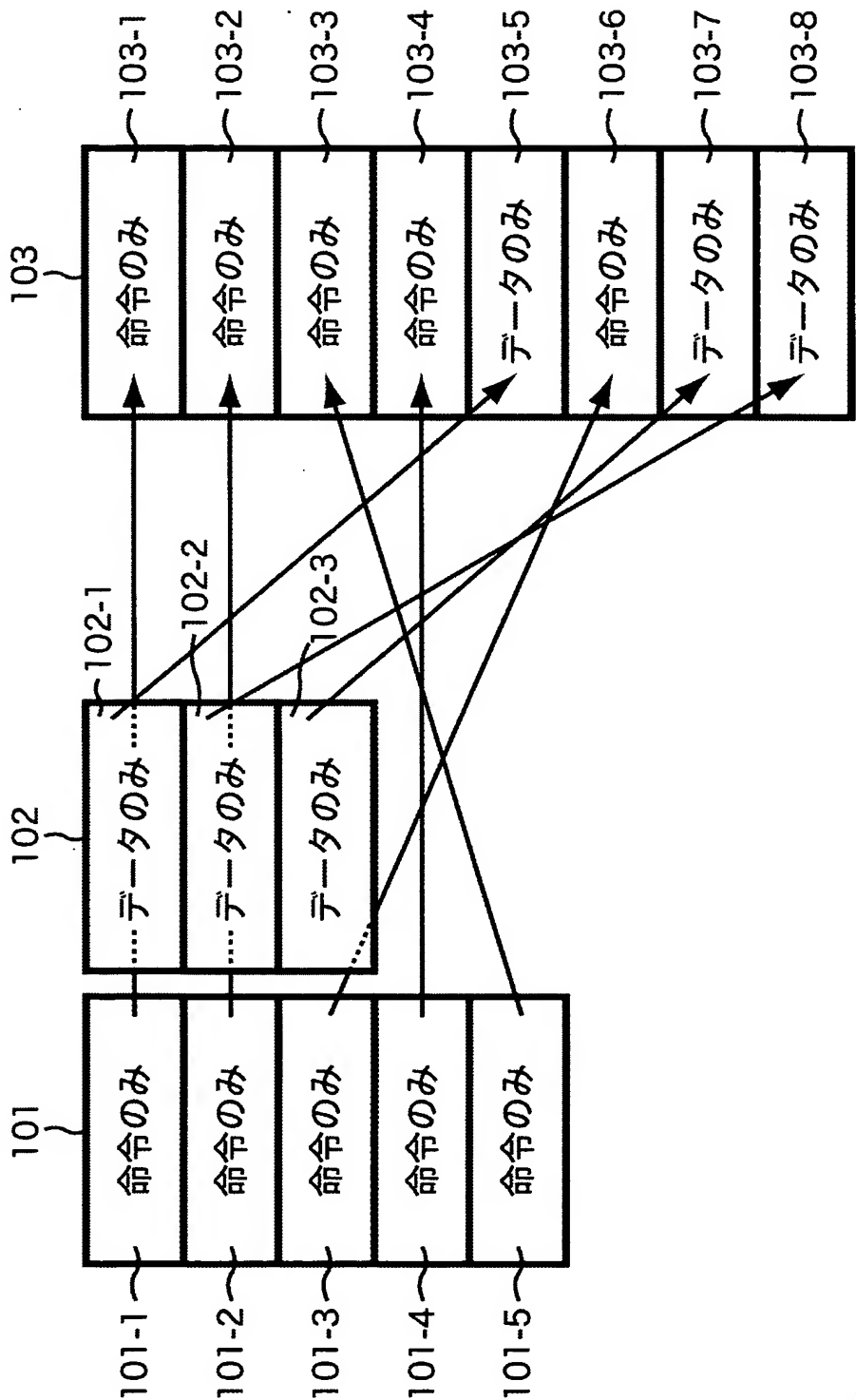
【図 6】

図 6



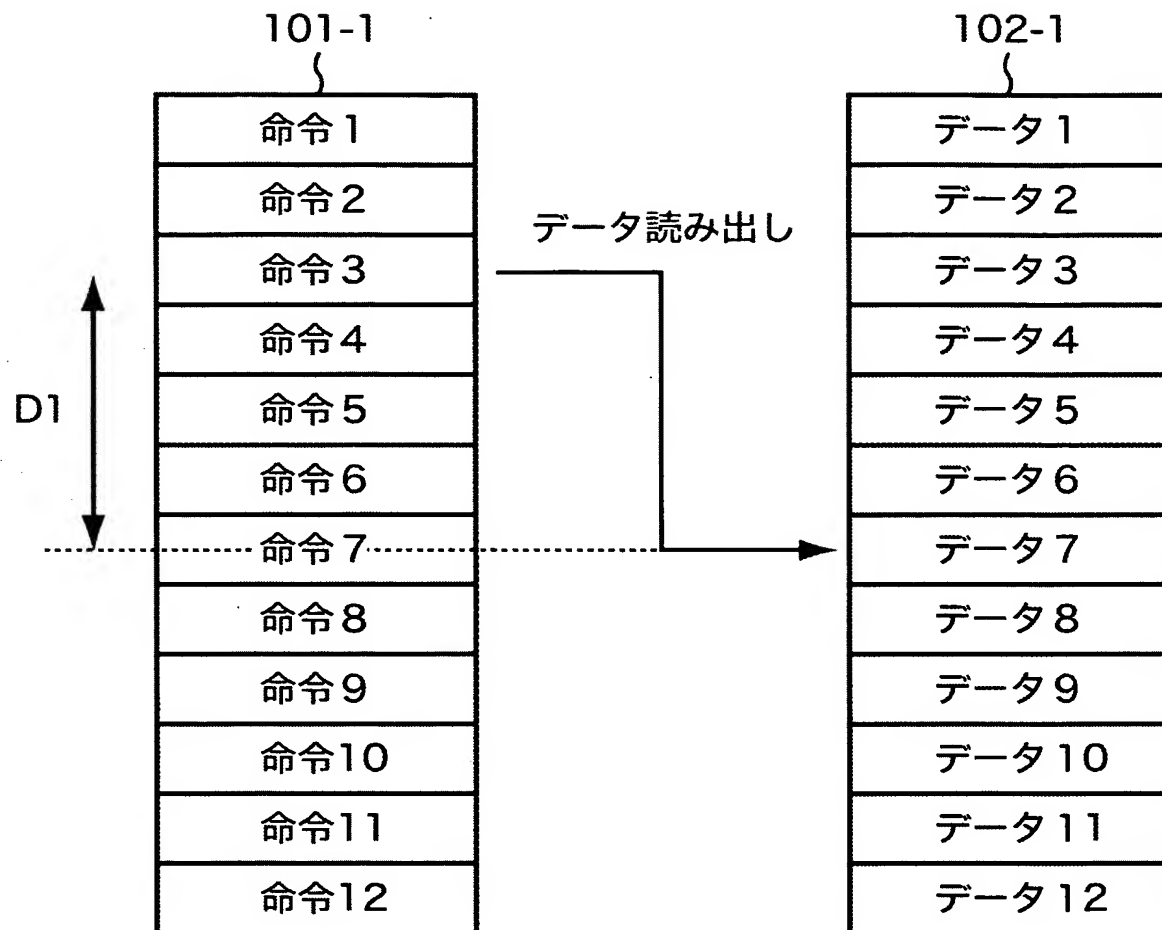
【図 7】

図 7



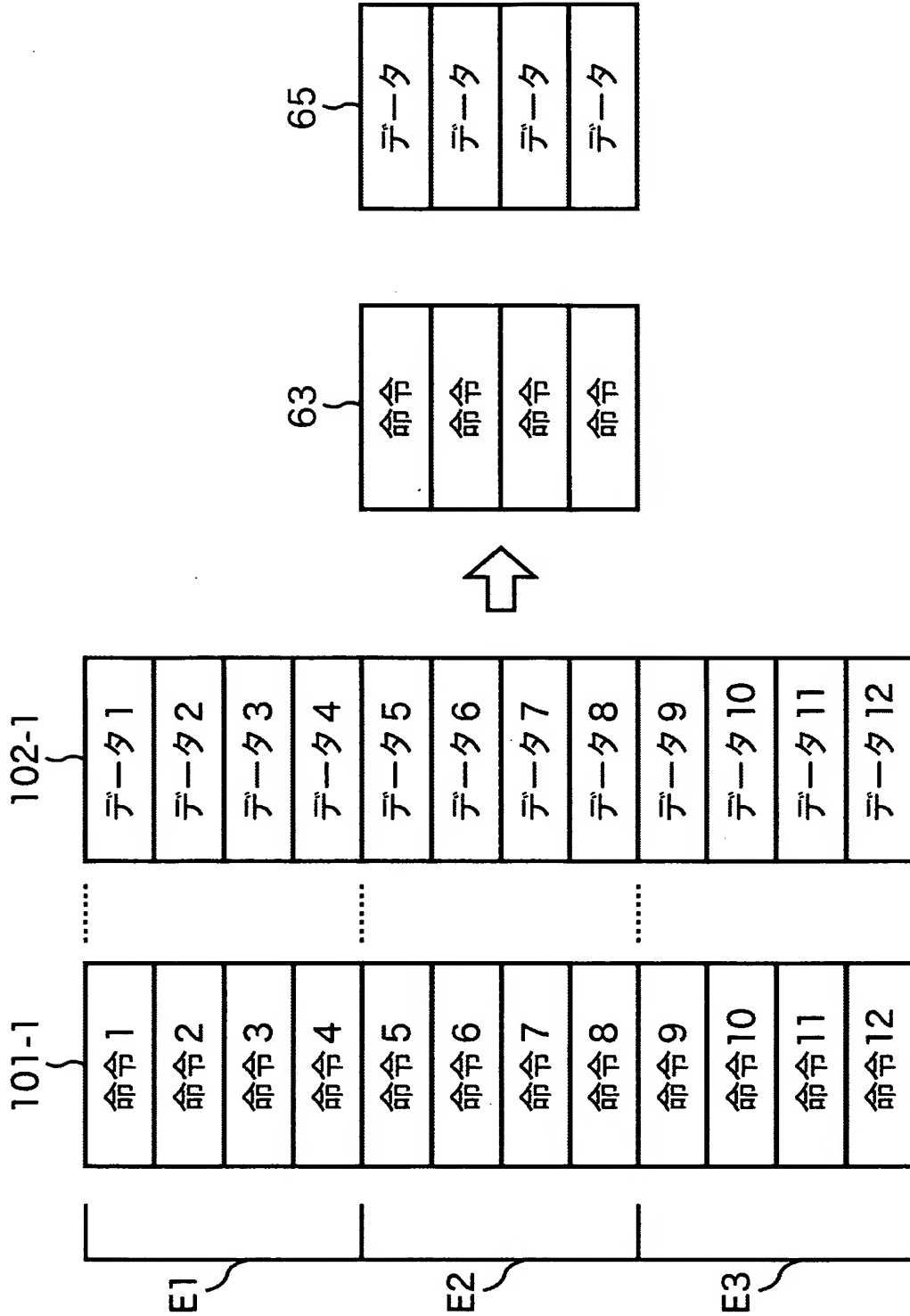
【図 8】

図 8



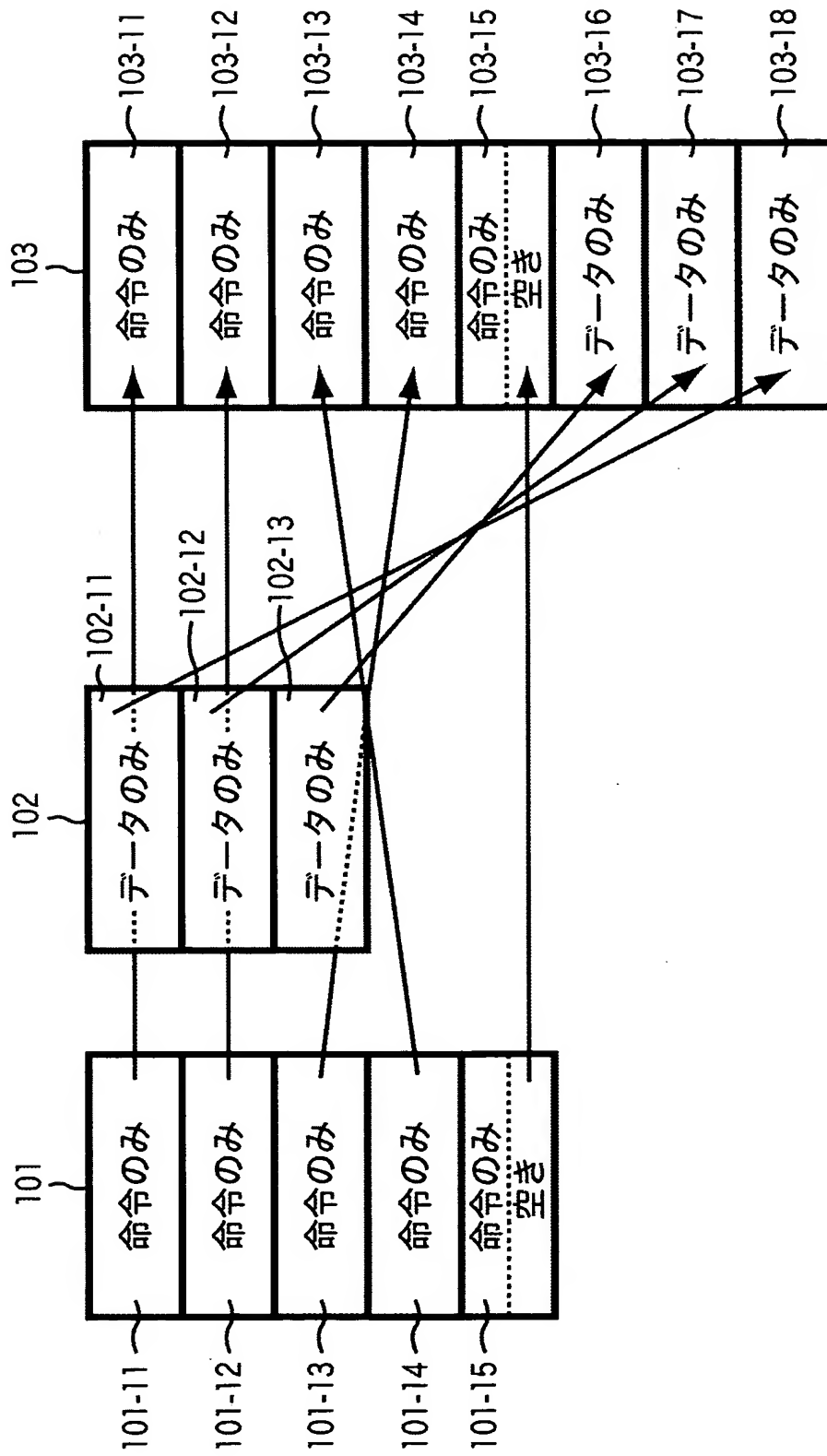
【図 9】

図 9



【図10】

図10



【図 11】

図 11

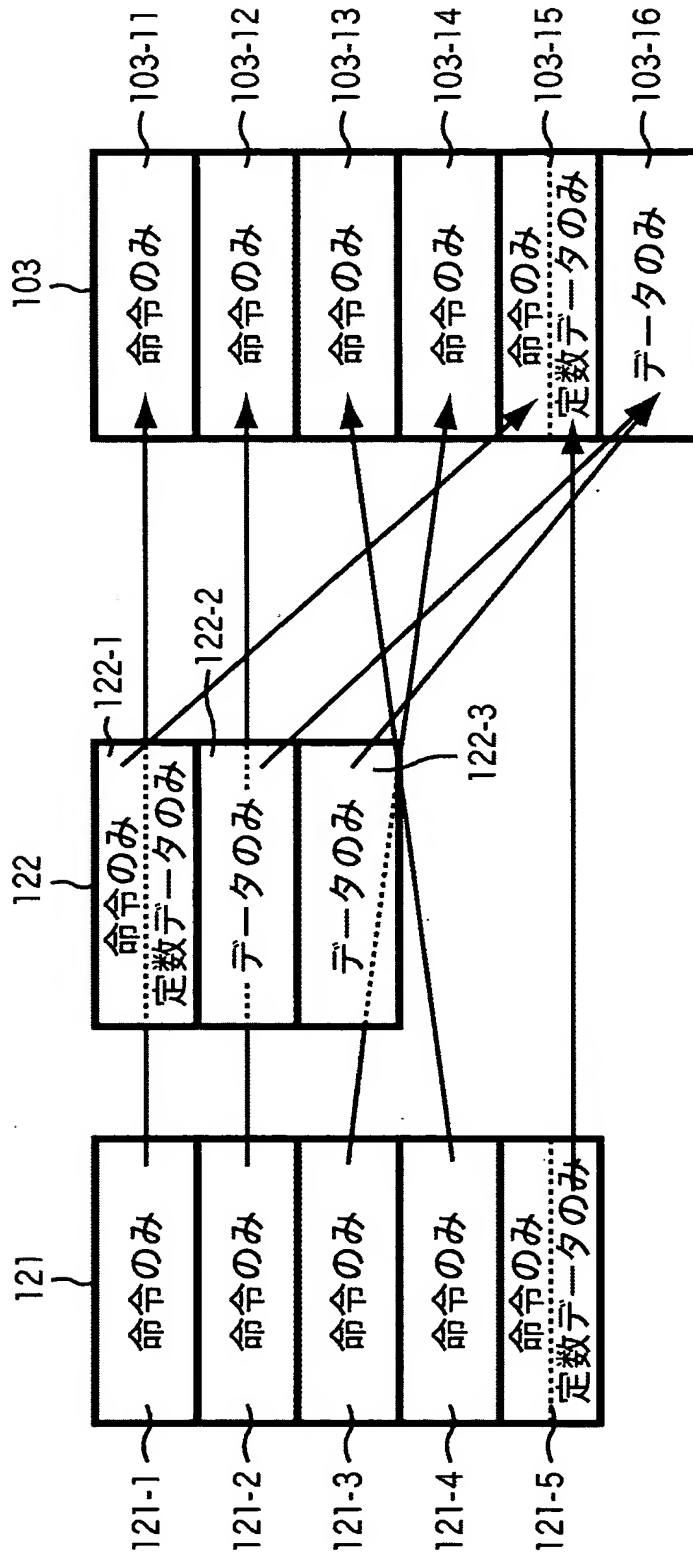
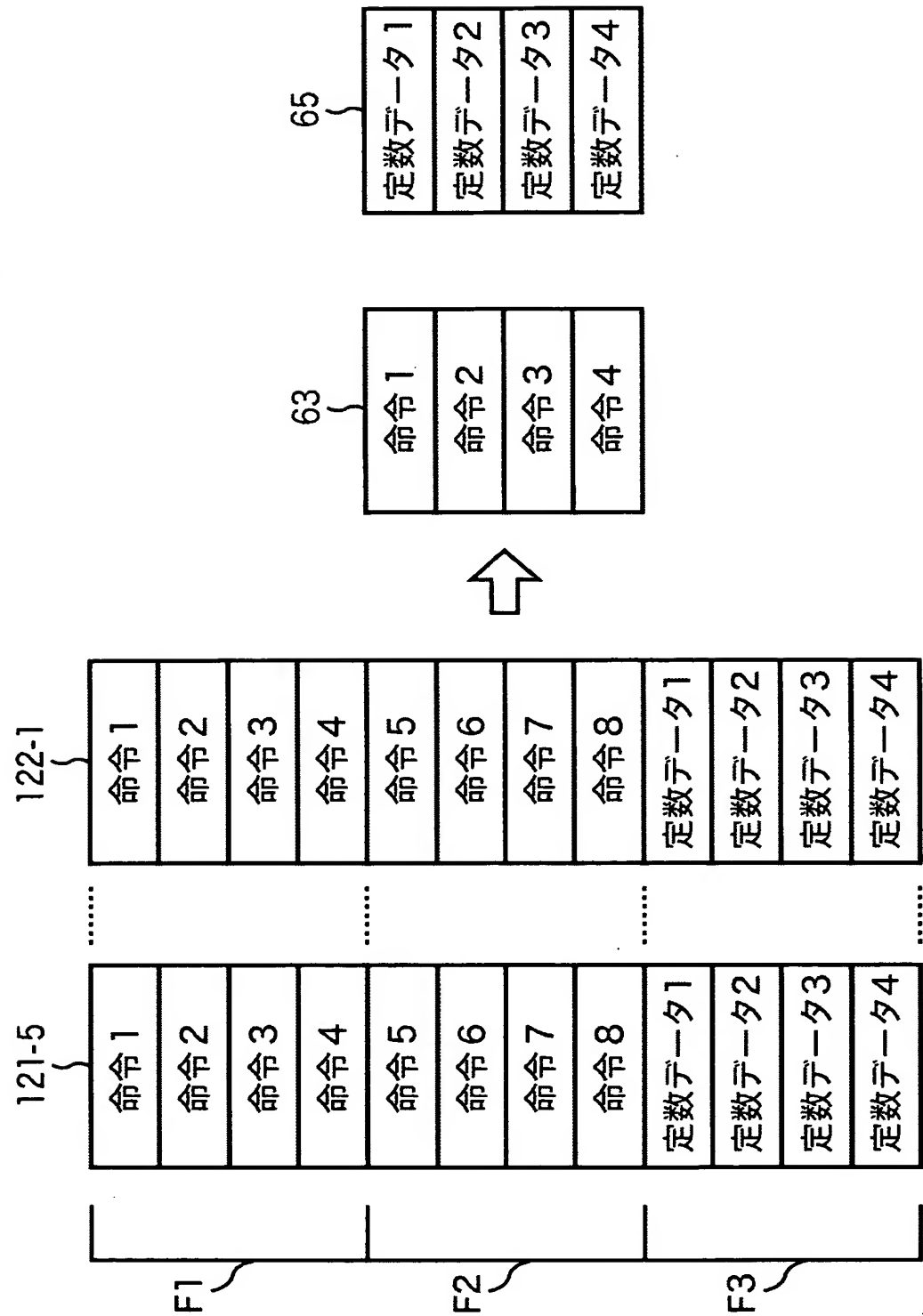


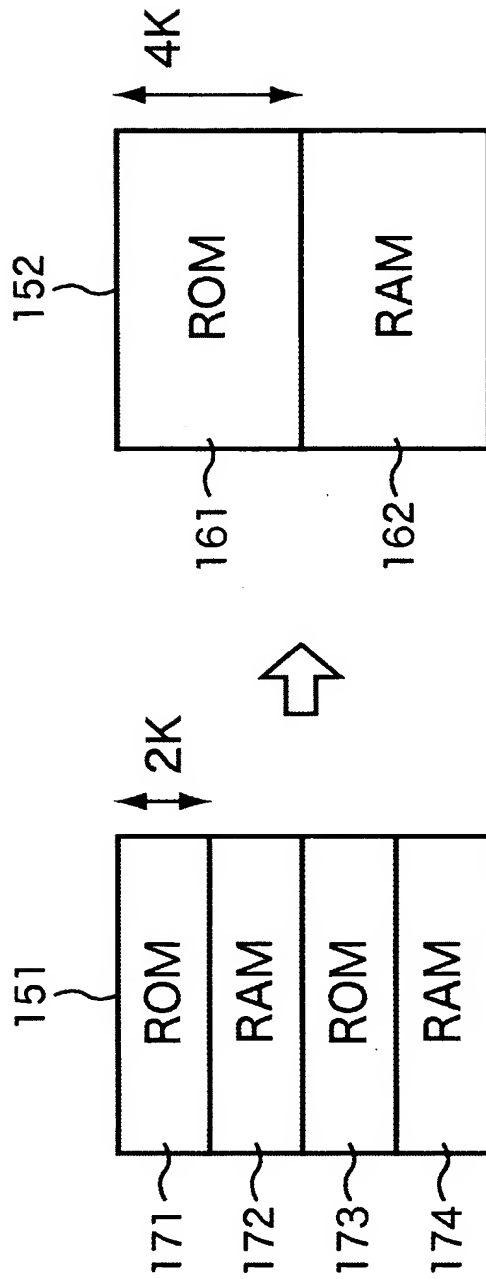
図12

【図 1 2】



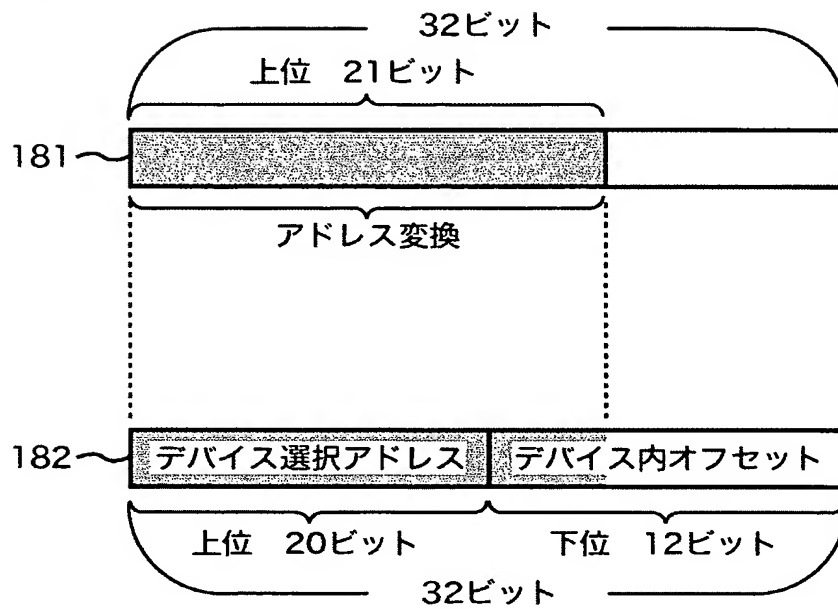
【図 13】

図 13



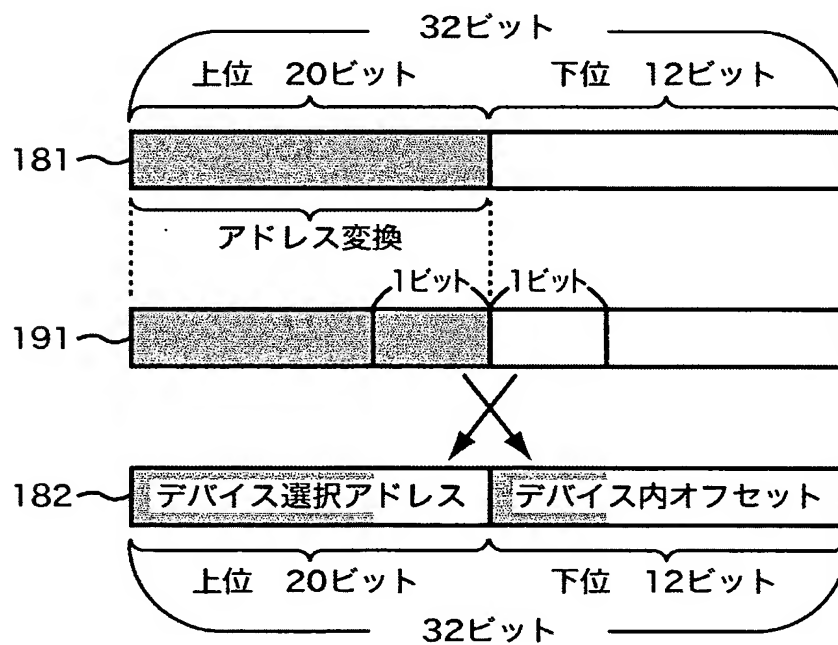
【図14】

図14



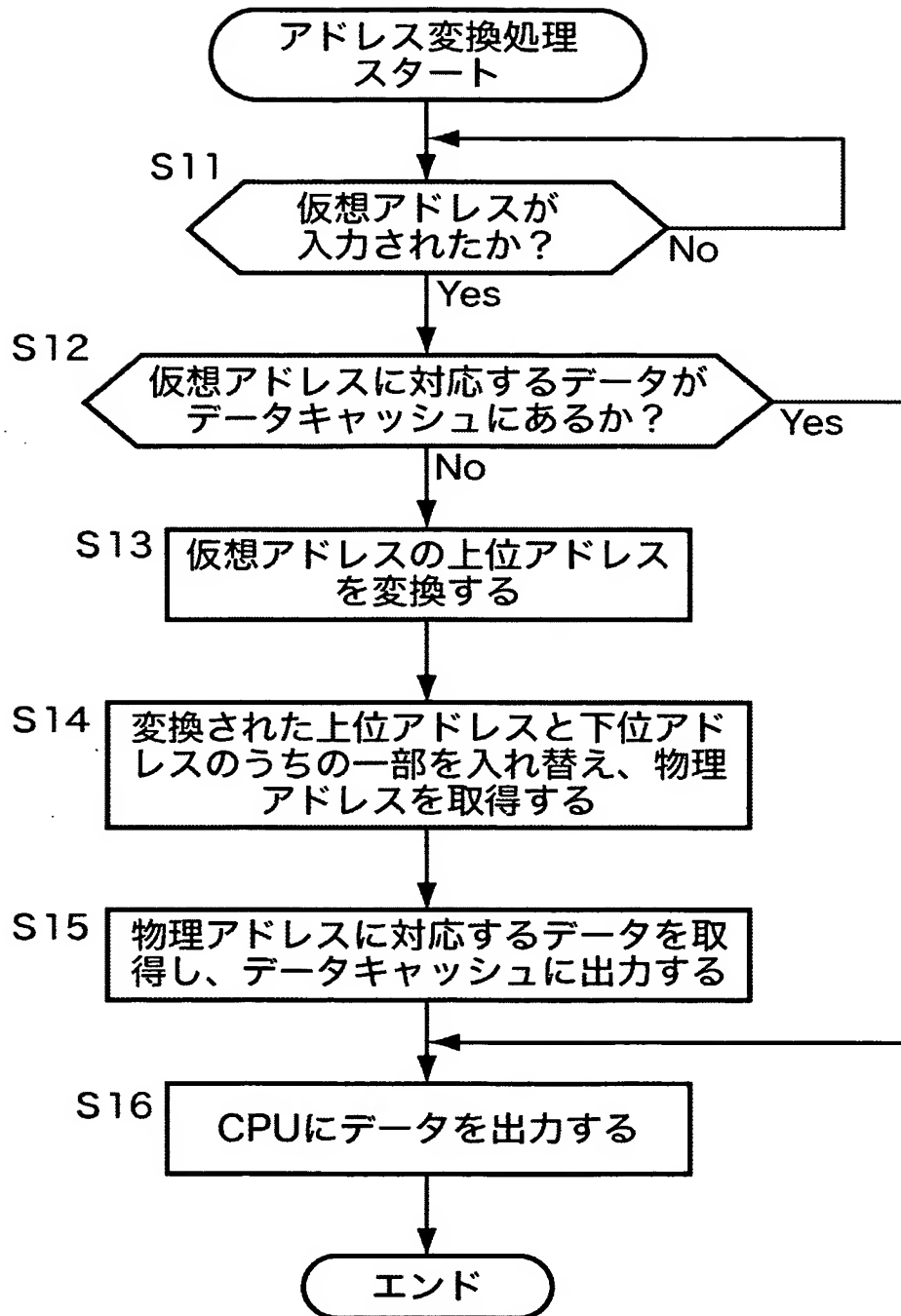
【図15】

図15



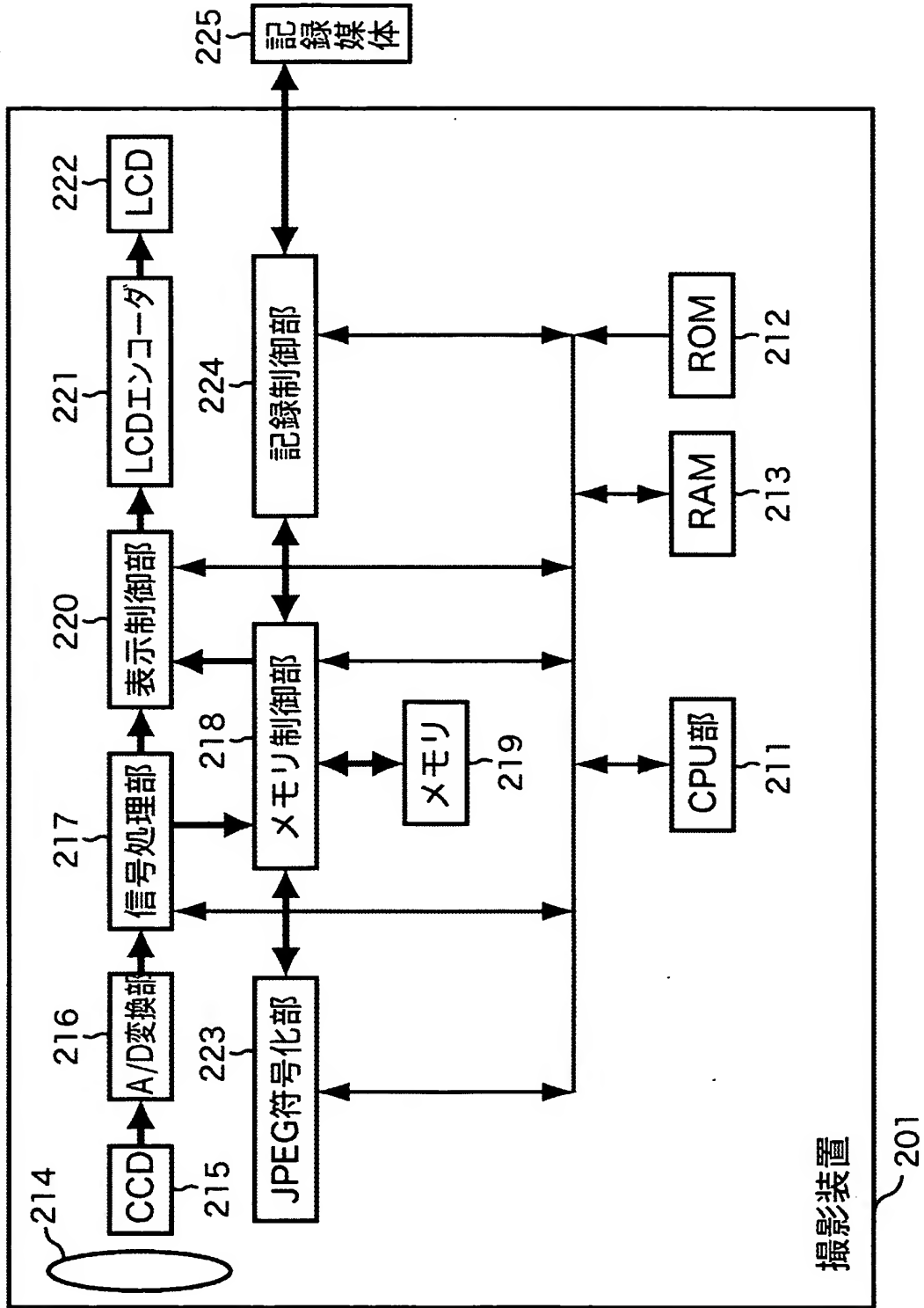
【図 16】

図 16



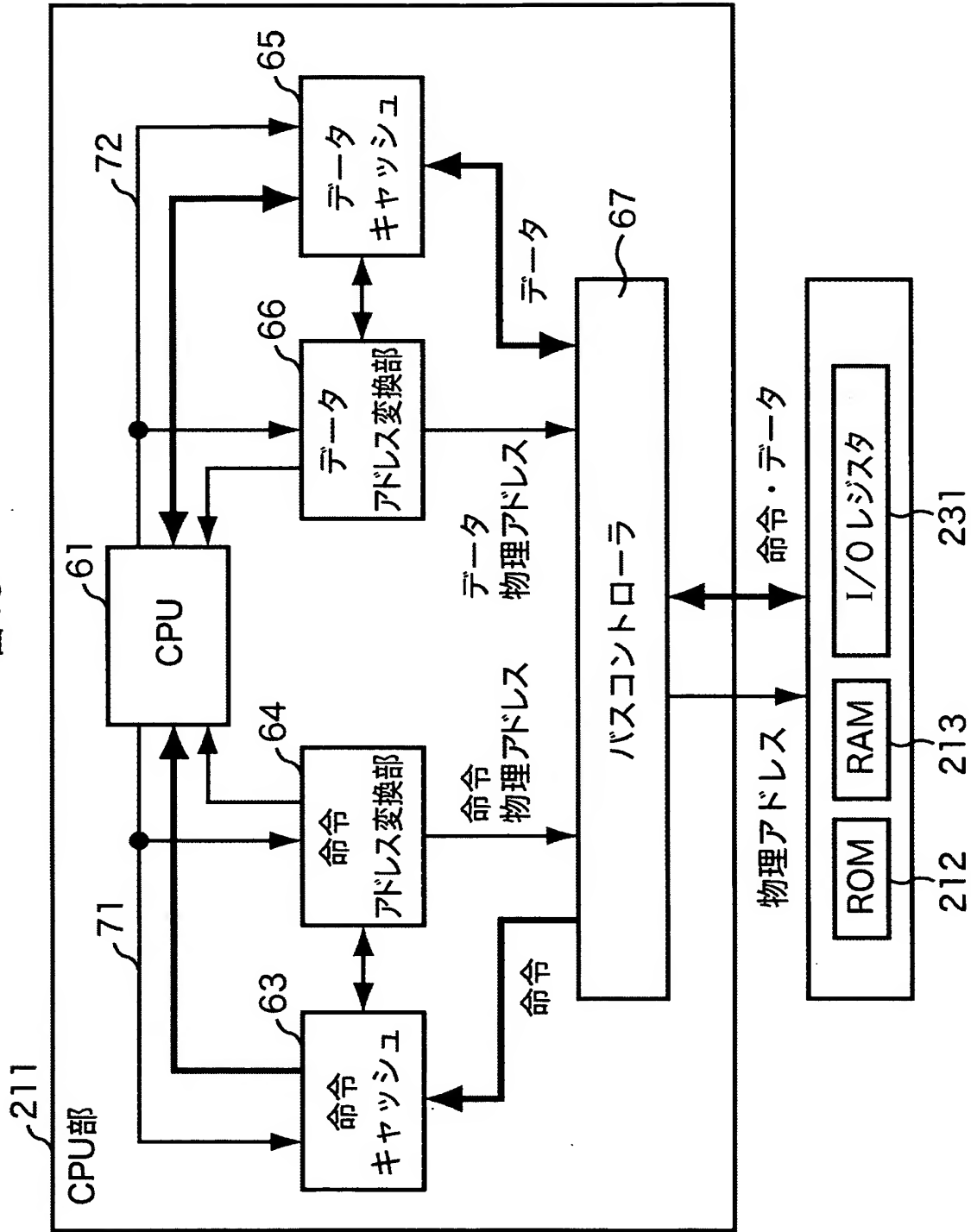
【図 17】

図 17



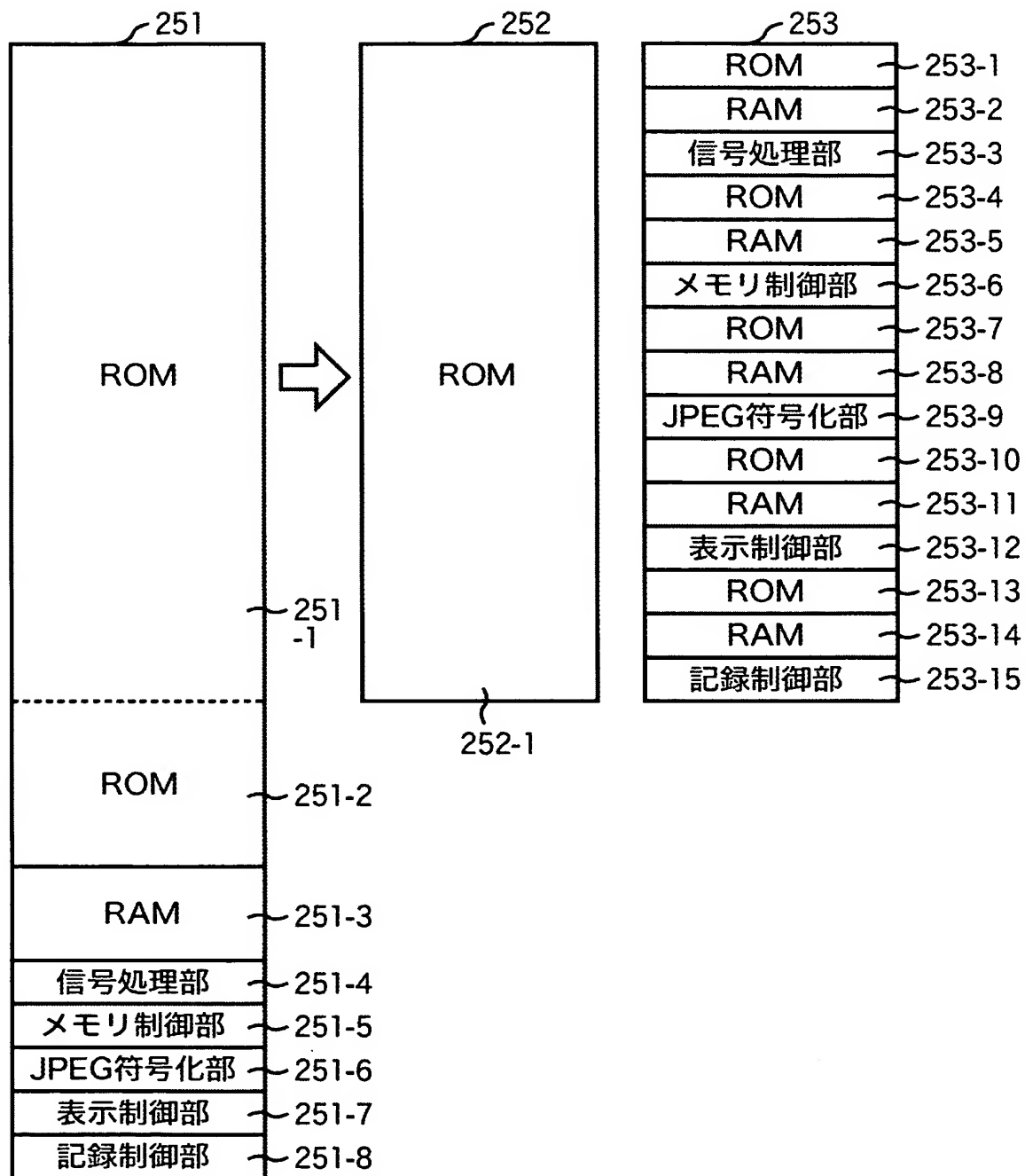
【図18】

図18

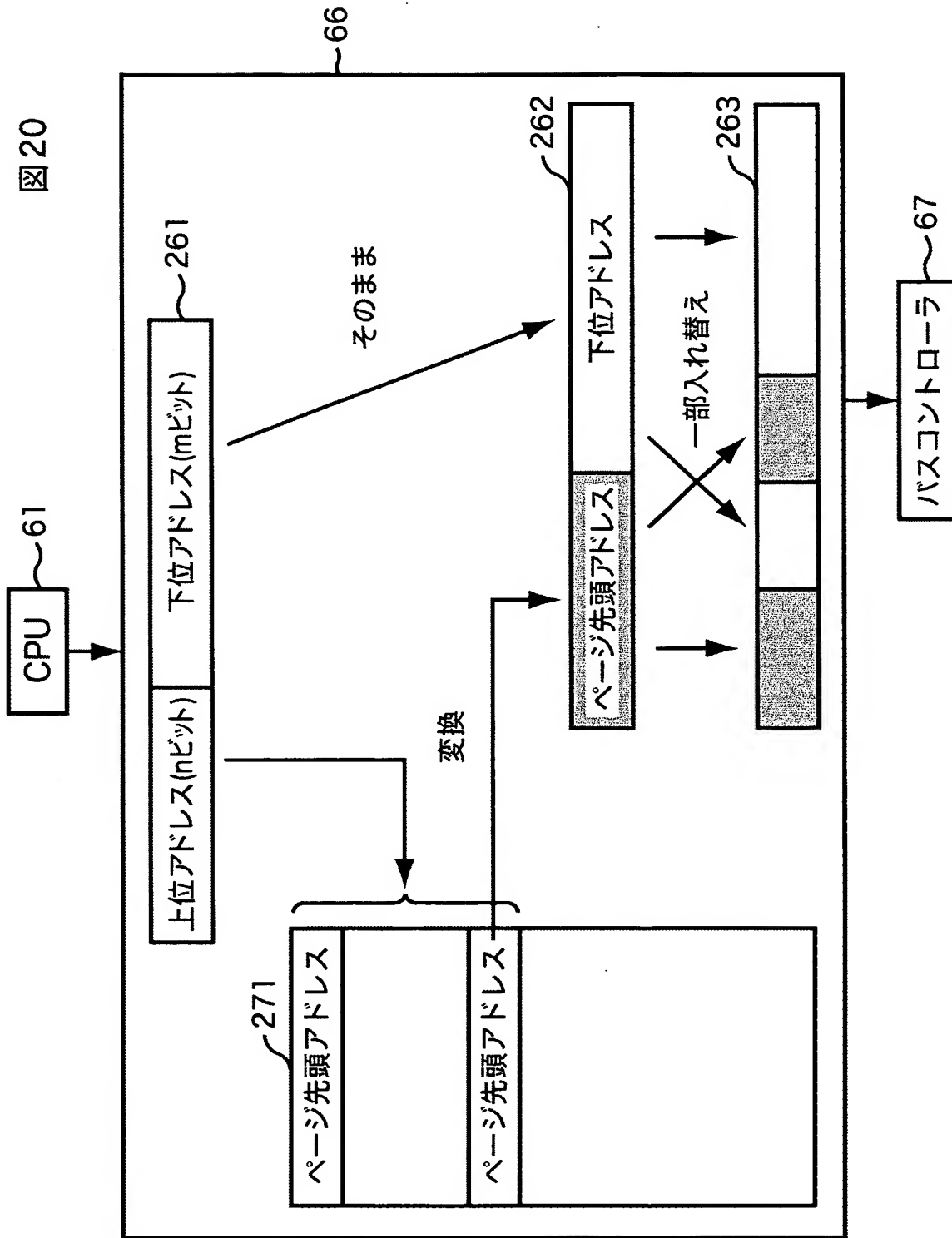


【図 19】

図19

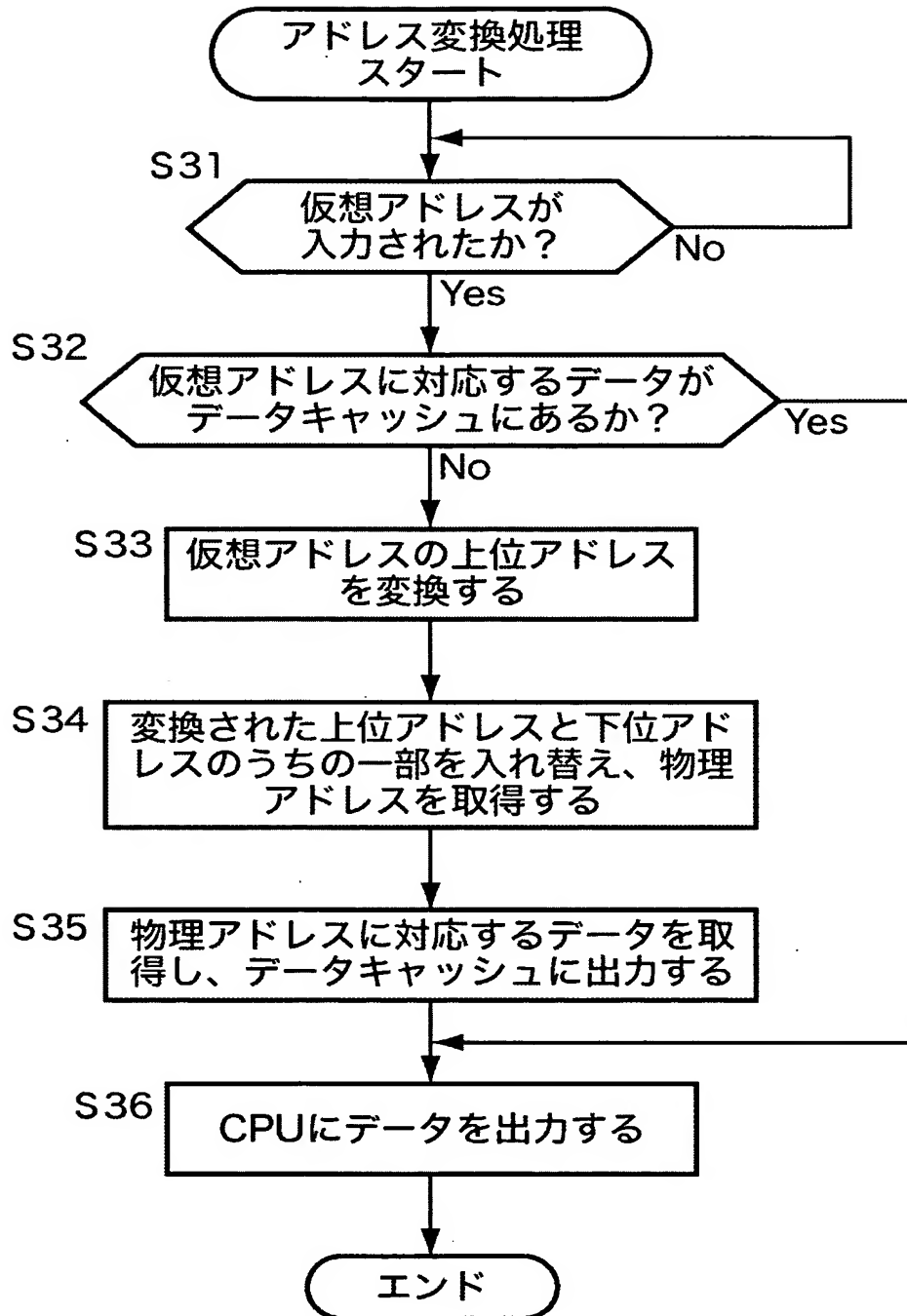


【図 20】

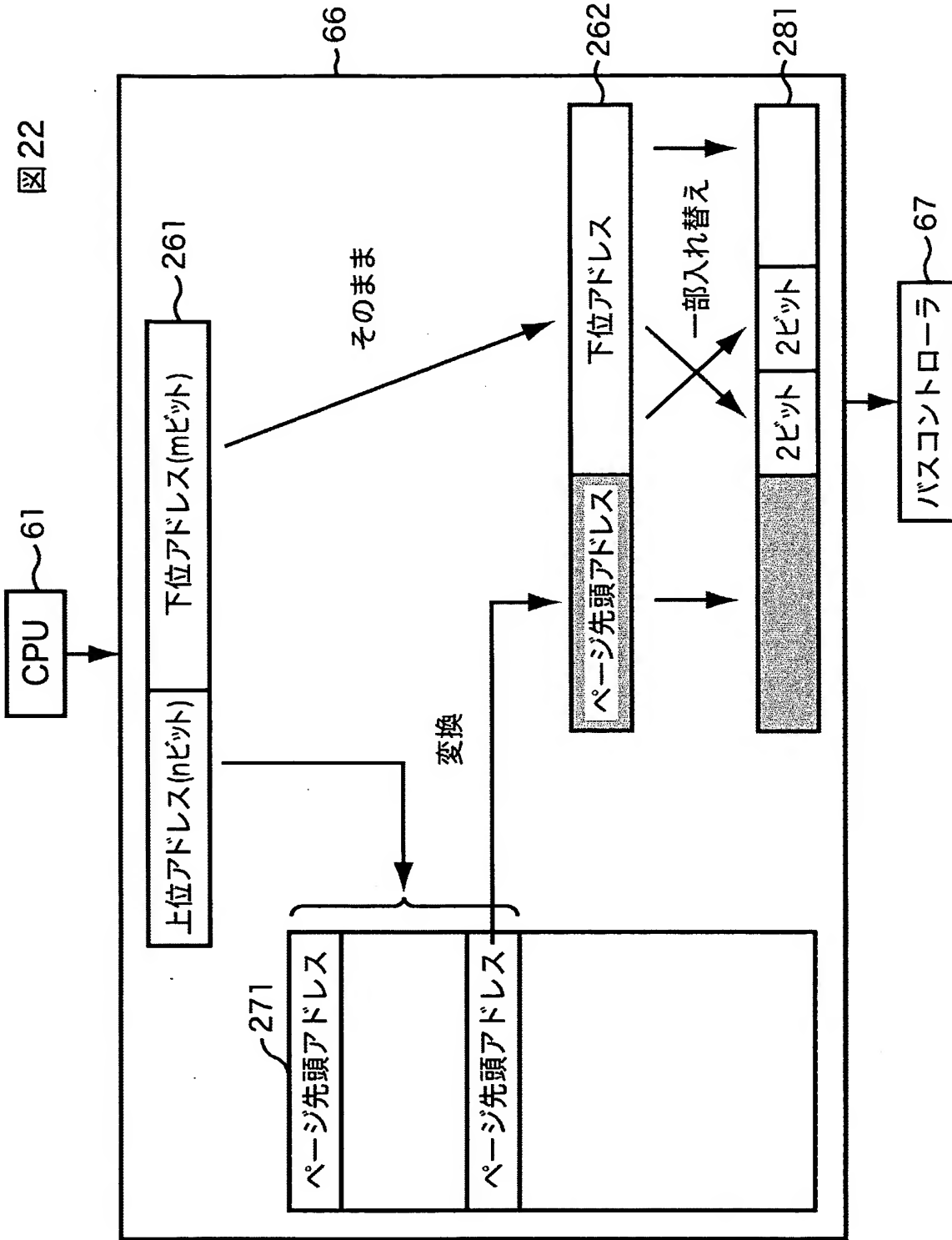


【図 21】

図 21

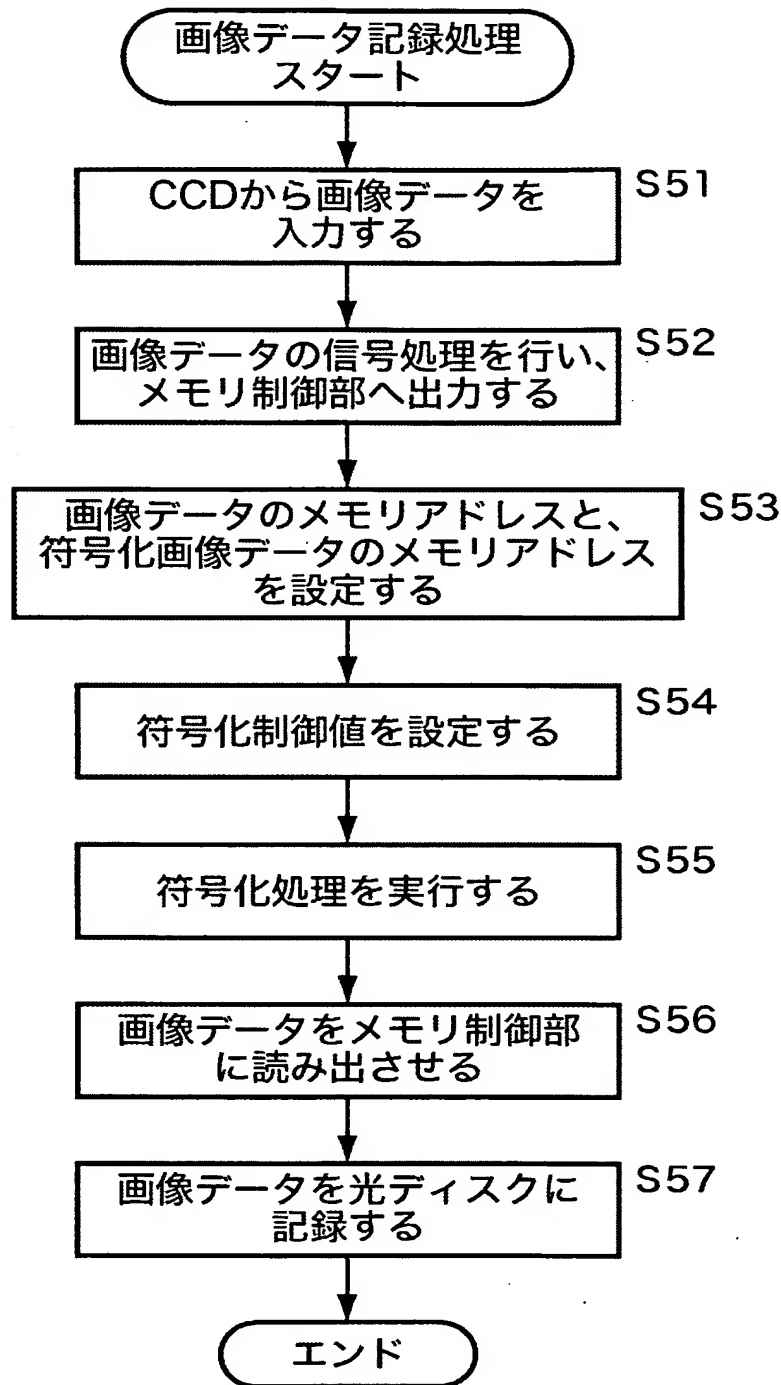


【図 22】



【図 23】

図 23



【図 2 4】

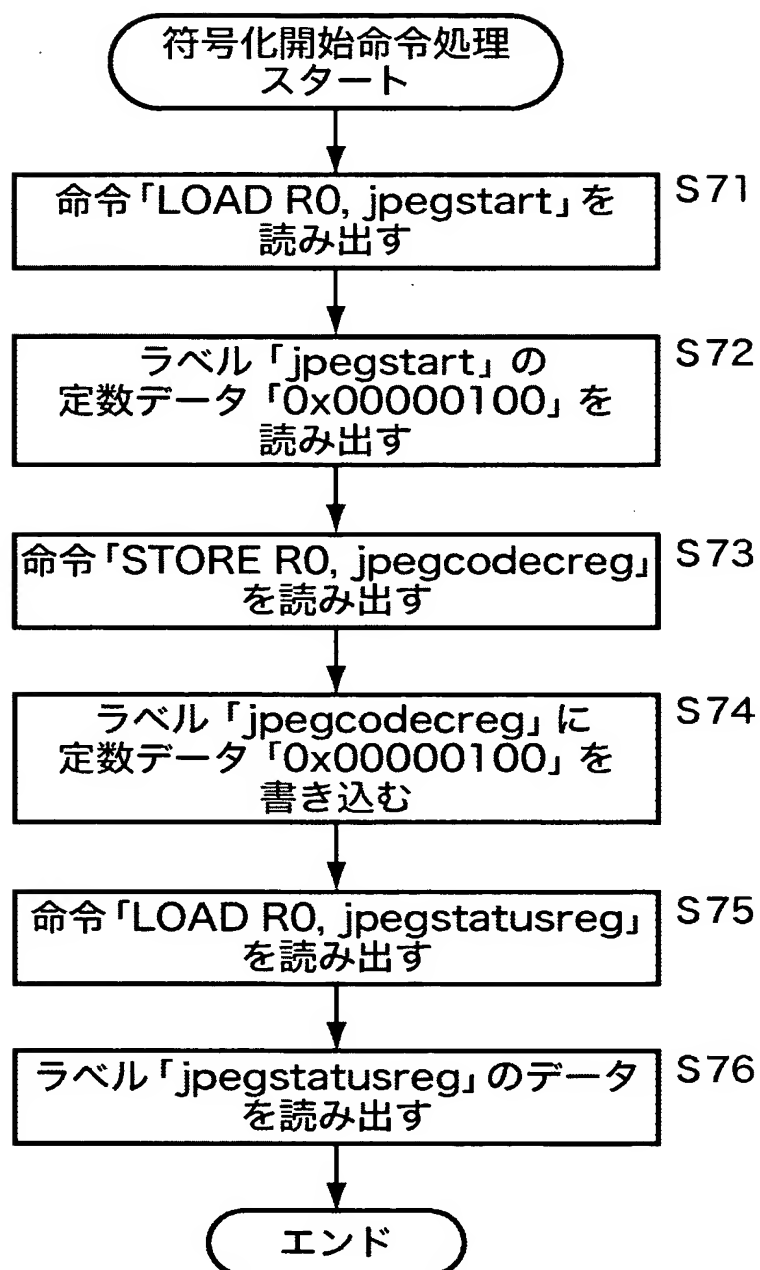
図 24

命令仮想アドレス空間		
ラベル	命令	動作内容
	LOAD R0, jpegstart	JPEG起動レジスタへ書き込む定数 0x00000100 を読み出す
	STORE R0, jpegcodecreg	JPEG起動レジスタ jpegcodecreg へ定数 0x00000100 を書き込む
	LOAD R0, jpegstatusreg	JPEG状態レジスタ jpegstatusreg を読み出す (終了確認)

データ仮想アドレス空間		
ラベル	データ	内容
jpegstart	0x00000100	JPEG起動レジスタへ書き込む
jpegcodecreg	JPEG符号化部が出力する値	JPEG起動レジスタ
jpegstatusreg	JPEG符号化部が出力する値	JPEG状態レジスタ

【図 25】

図 25



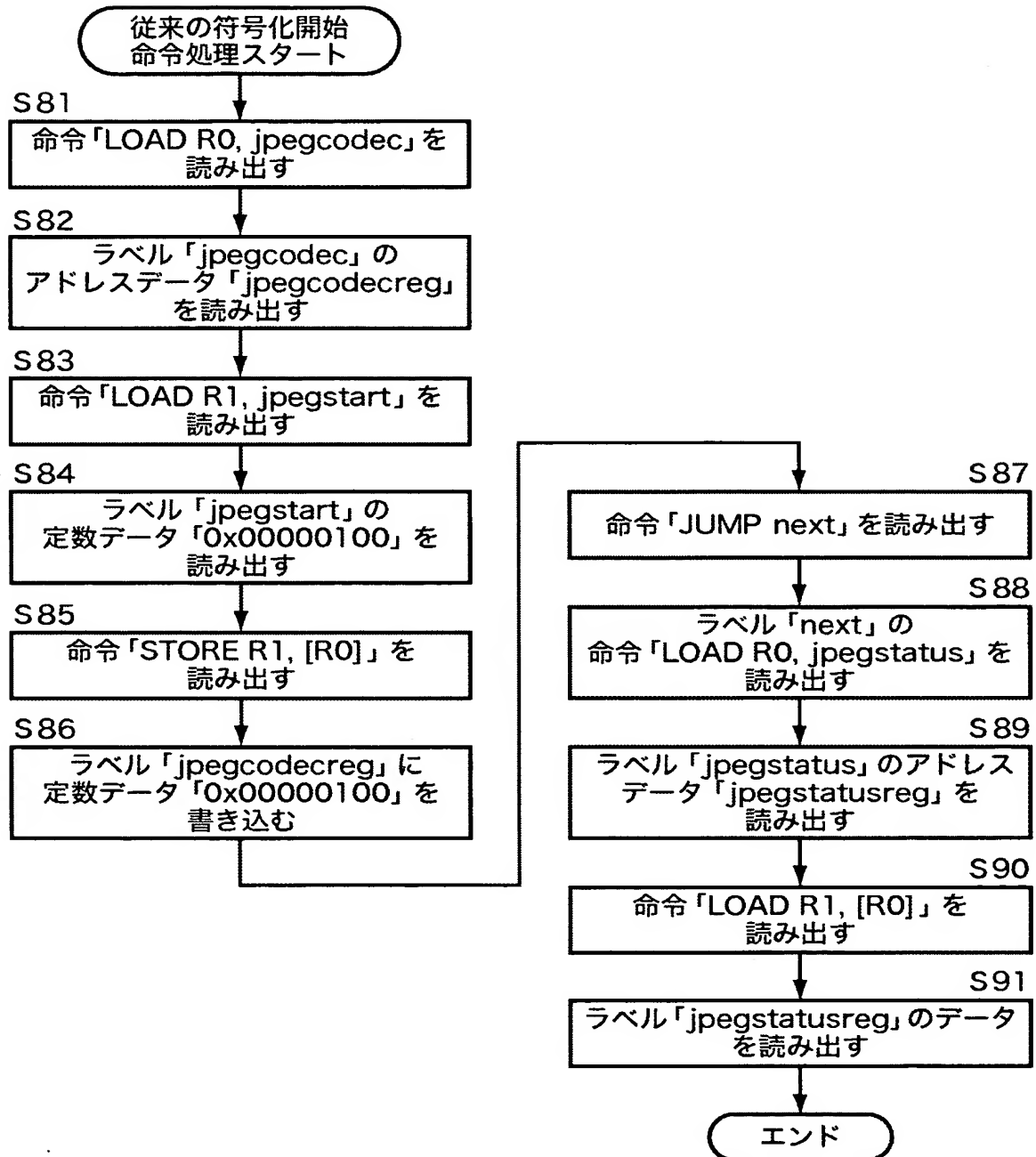
【図 26】

図 26

仮想アドレス空間		
ラベル	命令またはデータ	動作内容
jpegcodec jpegstart jpegstatus next	LOAD R0, jpegcodec	JPEG起動レジスタのアドレスデータ jpegcodecreg を読み出す
	LOAD R1, jpegstart	JPEG起動レジスタへ書き込む定数 0x00000100 を読み出す
	STORE R1, [R0]	JPEG起動レジスタ jpegcodecreg へ定数 0x00000100 を書き込む
	JMP next	next のアドレス [LOAD R0, jpegstatus] へ無条件分岐
	jpegcodecreg 0x00000100	JPEG起動レジスタアドレスデータ
jpegstatus next	jpegstatusreg	JPEG起動レジスタへ書き込むデータ
	LOAD R0, jpegstatus	JPEG状態レジスタのアドレスデータ
	LOAD R1, [R0]	JPEG状態レジスタのアドレスデータ jpegstatusreg を読み出す
		JPEG状態レジスタ jpegstatusreg を読み出す (終了確認)
jpegcodecreg jpegstatusreg	JPEG 符号化部が出力する値 JPEG 符号化部が出力する値	JPEG起動レジスタ JPEG状態レジスタ

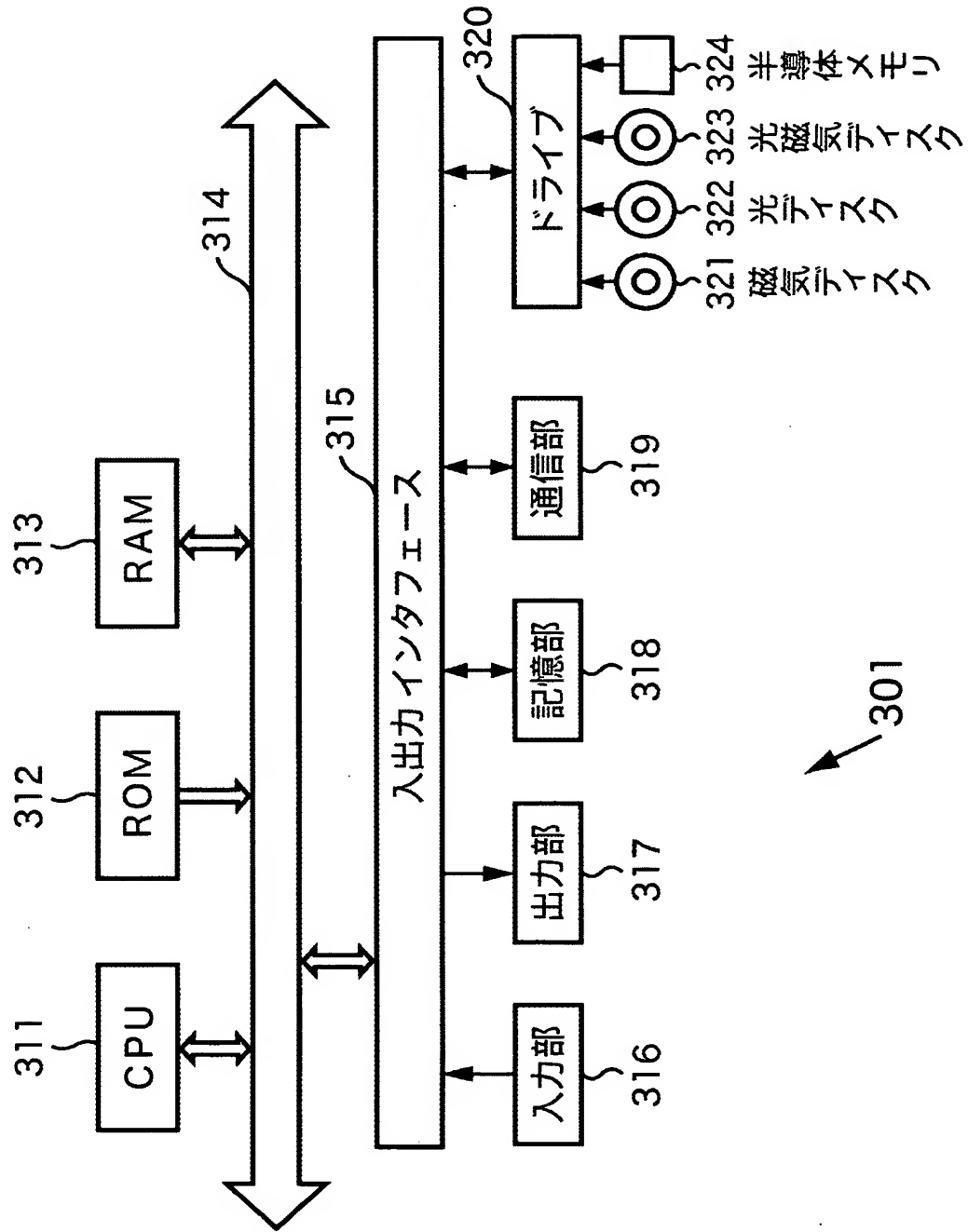
【図 27】

図 27



【図 28】

図 28



【書類名】 要約書

【要約】

【課題】 データアクセスの効率を向上させ、命令実行速度の向上を図ることができるようにする。

【解決手段】 命令仮想アドレス空間 101 は、物理アドレス空間 103 において、命令のみのページが記憶されているアドレス領域の物理アドレスに対応する仮想アドレスのみにより構成される。データ仮想アドレス空間 102 は、物理アドレス空間 103 において、データのみのページが記憶されているアドレス領域の物理アドレスに対応する仮想アドレスのみにより構成される。命令仮想アドレス空間 101 とデータ仮想アドレス空間 102 は、相互に重複した仮想アドレスを使用している。命令アドレス変換部は、命令仮想アドレス空間 101 の仮想アドレスを、データアドレス変換部は、データ仮想アドレス空間 102 の仮想アドレスを、単一の物理アドレス空間 103 の物理アドレスに変換する。本発明は、被写体を撮像する撮像装置に適用することができる。

【選択図】 図 7

認定・付加情報

特許出願の番号	特願 2003-362812
受付番号	50301756722
書類名	特許願
担当官	第七担当上席 0096
作成日	平成 15 年 10 月 28 日

< 認定情報・付加情報 >

【特許出願人】

【識別番号】	000002185
【住所又は居所】	東京都品川区北品川 6 丁目 7 番 35 号
【氏名又は名称】	ソニー株式会社

【代理人】

申請人	
【識別番号】	100082131
【住所又は居所】	東京都新宿区西新宿 7 丁目 11 番 18 号 711 ビルディング 4 階 稲本国際特許事務所
【氏名又は名称】	稲本 義雄

特願 2 0 0 3 - 3 6 2 8 1 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 1 8 5]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名

ソニー株式会社